



#2

500.40674X00

04CO
9-27-01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): H. AKIMOTO.

Serial No.: 09 / 955,275

Filed: SEPTEMBER 19, 2001

Title: FIELD EFFECT TRANSISTOR AND IMAGE DISPLAY
APPARATUS USING THE SAME.a / Priority
Doc.
E. Willis
11-14-01

LETTER CLAIMING RIGHT OF PRIORITY

Assistant Commissioner for
Patents
Washington, D.C. 20231

OCTOBER 3, 2001

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s)
the right of priority based on:

Japanese Patent Application No. 2001 - 054932
Filed: FEBRUARY 28, 2001

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Gregory E. Montone
Registration No. 28,141

GEM/rp
Attachment



E6213-01 EW

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月28日

出 願 番 号

Application Number:

特願2001-054932

出 願 人

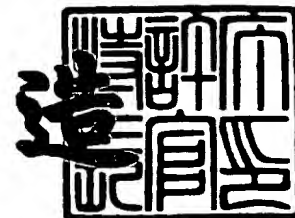
Applicant(s):

株式会社日立製作所

2001年 9月 4日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3081514

【書類名】 特許願

【整理番号】 H4161

【提出日】 平成13年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/00

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社 日立
製作所 日立研究所内

【氏名】 秋元 肇

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100093492

【弁理士】

【氏名又は名称】 鈴木 市郎

【電話番号】 03-3591-8550

【選任した代理人】

【識別番号】 100078134

【弁理士】

【氏名又は名称】 武 顕次郎

【電話番号】 03-3591-8550

【手数料の表示】

【予納台帳番号】 113584

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特 2 0 0 1 - 0 5 4 9 3 2

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電界効果トランジスタ及びそれを使用した画像晶表示装置

【特許請求の範囲】

【請求項 1】 第 1 と第 2 のソース領域に挟まれたチャンネル領域にゲート電極を有する絶縁ゲート型の電界効果トランジスタにおいて、

前記チャンネル領域の一部に、前記ゲート電極が平面的に重ね合わされていない領域が設けられていることを特徴とする電界効果トランジスタ。

【請求項 2】 請求項 1 に記載の発明において、

前記チャンネル領域が、多結晶シリコン膜で構成されていることを特徴とする電界効果トランジスタ。

【請求項 3】 請求項 2 に記載の発明において、

前記チャンネル領域の前記ゲート電極と平面的に重ね合わされていない領域の長さが、当該チャンネル領域を構成する多結晶シリコンの結晶粒径よりも長く設定されていることを特徴とする電界効果トランジスタ。

【請求項 4】 請求項 1 に記載の発明において、

前記チャンネル領域が真性半導体で形成されていることを特徴とする電界効果トランジスタ。

【請求項 5】 請求項 4 に記載の発明において、

前記チャンネル領域の前記ゲート電極と平面的に重ね合わされていない領域に $1 \times 10^{18} / \text{cm}^3$ 以下の不純物が注入されていることを特徴とする電界効果トランジスタ。

【請求項 6】 請求項 1 に記載の発明において、

前記ゲート電極は、前記チャンネル領域を保持している基板に対して、当該チャンネル領域の前記基板とは反対側に設けられていることを特徴とする電界効果トランジスタ。

【請求項 7】 請求項 1 に記載の発明において、

前記ゲート電極は、前記チャンネル領域を保持している基板に対して、当該チャンネル領域と前記基板の間に設けられていることを特徴とする電界効果トランジスタ。

【請求項 8】 請求項 1 に記載の発明において、

前記ゲート電極は、その少なくとも一部が、前記第 1 と第 2 のソース領域の何れか一方に対しても、平面的に重ね合わされていることを特徴とする電界効果トランジスタ。

【請求項 9】 第 1 と第 2 のソース領域に挟まれたチャンネル領域にゲート電極を有する絶縁ゲート型の電界効果トランジスタにおいて、

前記ゲート電極が、前記チャンネル領域の長さ方向で、前記第 1 のソース領域側と前記第 2 のソース領域側に分離された 2 個の独立したゲート電極で形成されていることを特徴とする電界効果トランジスタ。

【請求項 10】 請求項 9 の発明において、

前記チャンネル領域が真性半導体で形成されていることを特徴とする電界効果トランジスタ。

【請求項 11】 請求項 10 に記載の発明において、

前記チャンネル領域に $1 \text{ e}^{-18} / \text{cm}^3$ 以下の不純物が注入されていることを特徴とする電界効果トランジスタ。

【請求項 12】 第 1 と第 2 のソース領域に挟まれたチャンネル領域にゲート電極を有する絶縁ゲート型の電界効果トランジスタにおいて、

前記チャンネル領域は、平面形状が略カタカナのエの字状に形成され、

前記エの字状の一方の辺の一方の端部に一方のソース領域が、そして他方の端部には他方のソース領域がそれぞれ形成され、

前記エの字状の他方の辺の一方の端部には他方のソース領域が、そして他方の端部には一方のソース領域がそれぞれ形成され、

前記ゲート電極を、前記チャンネル領域の前記エの字状の一方の辺と他方の辺を結ぶ領域に共通に平面的に重ね合わされて形成することにより、

前記一方の辺のチャンネル領域と前記の他方のチャンネル領域で前記ソース領域の導電型が入れ替えられていて、それぞれで 2 個の電界効果トランジスタが形成されていることを特徴とする電界効果トランジスタ。

【請求項 13】 請求項 12 に記載の発明において、

前記チャンネル領域が真性半導体で形成されていることを特徴とする電界効果ト

ランジスタ。

【請求項 1 4】 請求項 1 3 に記載の発明において、

前記チャネル領域に $1 \text{ e}^{-18} / \text{cm}^3$ 以下の不純物が注入されていることを特徴とする電界効果トランジスタ。

【請求項 1 5】 少なくとも複数の画素を有する表示部と、少なくとも表示信号の信号処理と前記表示部に対する表示信号の書込みを行う制御部を同一絶縁基板上に備えた画像表示装置において、

前記制御部の少なくとも一部が、請求項 1 ～請求項 1 1 に記載の電界効果トランジスタの何れかにより構成されていることを特徴とする画像表示装置。

【請求項 1 6】 少なくとも複数の画素を有する表示部と、少なくとも表示信号の信号処理と前記表示部に対する表示信号の書込みを行う制御部を同一絶縁基板上に備えた画像表示装置において、

前記制御部の少なくとも一部が、請求項 1 ～請求項 1 1 に記載の電界効果トランジスタの何れかにより構成され、

前記表示部の画素制御素子が、前記請求項 1 2 ～請求項 1 3 に記載の電界効果トランジスタの何れかで構成されていることを特徴とする画像表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電界効果トランジスタと、それを用いた画像表示装置に係り、特に低電圧で動作が可能な電界効果トランジスタと、低消費電力で画像表示が可能な液晶表示装置に関する。

【0 0 0 2】

【従来の技術】

近年、液晶表示装置の進歩は目覚ましく、これまで表示装置の主力であった CRT (陰極線管) に代って、薄型の表示装置として急速に普及が進んでおり、その性能についても、パソコン (PC) やデジタルビデオディスク (DVD)、更にはデジタルテレビジョン放送などの普及に伴い、高速応答で高精細の表示が必須となっており、この要求に応えることができる液晶表示装置として、従来から

T F T 液晶表示パネルが知られている。

【 0 0 0 3 】

そこで、この従来から知られている T F T 液晶表示パネルの一例について、図 1 9 により説明する。

なお、ここに図示されている T F T 液晶表示パネルは、一例としてガラス基板 2 1 0 上に設けられているものである。

【 0 0 0 4 】

そして、このガラス基板 2 0 1 に、それぞれ液晶容量 2 0 4 を有する画素 2 0 1 がマトリクス状に配置され、それぞれはゲート線 2 0 5 を介してゲート線駆動回路 2 0 6 に接続されると共に、信号線 2 0 7 を介して信号線駆動回路 2 0 8 にも接続されている。

【 0 0 0 5 】

なお、ここでは、簡略化のため、画素 2 0 1 は 4 個だけ記載してある。

また、ここで、液晶容量とは、液晶の各単位素子(セル)のことで、等価的には静電容量と看做せるので、この名称が用いられている。

各画素 2 0 1 の中で、液晶容量 2 0 4 は、ゲートが共通に直列接続された画素 T F T (薄膜トランジスタ : Thin Film Transistor) 2 0 2、2 0 3 を介して、信号線 2 0 7 に接続されている。

【 0 0 0 6 】

また、信号線駆動回路 2 0 8 には、外部から信号電圧を入力するための信号入力線 2 0 9 が接続されている。

ここで、各画素 T F T 2 0 2、2 0 3 と、ゲート線駆動回路 2 0 6、信号線駆動回路 2 0 8 は、いずれも多結晶シリコン (poly-Si) T F T により構成されている。

【 0 0 0 7 】

次に、この従来技術による T F T 液晶表示パネルの動作について説明すると、まず、信号線駆動回路 2 0 8 は、信号入力線 2 0 9 から入力された信号電圧を各信号線 2 0 7 に振り分ける働きをする。

そして、ゲート線駆動回路 2 0 6 が、ゲート線 2 0 5 を介して、所定の画素行

にある画素TFT202、203を開閉し、これにより、信号線駆動回路208が信号線207に出力した信号電圧が、画素201内の液晶容量204に供給されることになる。

【0008】

液晶容量204に入力された信号電圧は、各画素201の液晶容量部分の光学特性を変調し、この結果、入力された信号電圧に応じた画像が、TFT液晶表示パネルに表示されることになる。

【0009】

なお、この種のTFT液晶表示パネルについては、例えば、次の文献に詳しく記載されている。

SID99, Digest of Technical Papers, PP.172~179(1999)

【発明が解決しようとする課題】

上記従来技術は、低電圧で動作するTFTについて配慮がされておらず、低消費電力の画像表示装置の実現が困難であるという問題があった。

これは、従来から用いられているTFTが、低電圧での駆動が困難であることに起因する。

【0010】

そこで、以下、この従来技術によるTFTの問題点について、図20により説明する。

この図20は、従来から使用されているnチャネルTFTの断面図(a)と、キャリア捕獲準位がない(理想の)場合のポテンシャル図及び電流電圧特性図(b)、それに、キャリア捕獲準位がある(現実の)場合のポテンシャル図及び電流電圧特性図(c)を示したものである。

【0011】

そして、このTFTは、図20(a)に示したように、 n^+ の高濃度不純物注入領域221及び n^- の低濃度不純物注入領域222で構成されるソース領域と、 n^+ の高濃度不純物注入領域223及び n^- の低濃度不純物注入領域224から構成されるドレイン領域、iで示した不純物非注入領域225で構成されるチャネル形成領域、それにゲート電極220で構成されている。

【 0 0 1 2 】

従って、この T F T は、基本的には M O S F E T (絶縁ゲート型電界効果トランジスタ)で構成されていることになる。

なお、ここで不純物非注入領域に付されている i は、いわゆる真性半導体を意味する。

また、この図 2 0 では、ゲート電極 2 2 0 と i 不純物非注入領域 2 2 5 の間にある絶縁層や、他の領域に形成される絶縁物については、簡略化のため省略して示してある。

【 0 0 1 3 】

次に、この従来の T F T の動作について説明する。

始めに、説明の都合上、従来の T F T とは異なるが、チャネル形成領域 2 2 5 にチャネルキャリア捕獲準位が存在していない、理想的な場合の T F T を想定して、その動作について説明する。

【 0 0 1 4 】

まず、図 2 0 のポテンシャル図(b)に示すように、チャネル形成領域 2 2 5 にチャネルキャリア捕獲準位が存在しない理想的な場合には、ソース 2 2 6 から注さ入れた電子 e^- は、図示のように、チャネル 2 2 8 に沿ってドレイン 2 2 7 へと拡散して、又はドリフトして移動し、チャネル電流を形成する。

【 0 0 1 5 】

この場合のゲート電圧 V_{gs} に対するチャネル電流 I_{ds} 特性を図 2 0 (b)の右に示す。

この図の中で、チャネルに寄生容量がない場合は、矢印を付して示したテーリング領域と呼ぶ領域部分では、理論限界として、 60 mV/桁電流値特性 を有する($kT/q \cdot \ln 10 = 60\text{ mV}$ 、但し、 k はボルツマン定数、 T は温度、 q は単位電荷量)。

【 0 0 1 6 】

これは、例えば 5 桁の電流値を制御するのに必要なゲート電圧の振幅が 300 mV で済むことを意味する。

なお、この図 2 0 (b)、(c)では、説明の本質には影響はないので、 n^+ で示す

高濃度不純物注入領域と n^- で示す低濃度不純物注入領域について、ポテンシャル図中では区別して表示していない。

【0017】

次に、チャネル形成領域 225 にチャネルキャリア捕獲準位が存在している、現実的な従来の T F T について、その動作について説明する。

多結晶 S i をチャネル形成領域 225 に用いた従来の T F T の場合、現実問題として、そのチャネル形成領域 226 には、結晶欠陥や粒界に起因するチャネルキャリア捕獲準位が多数存在する。

【0018】

従って、図 20 (c) に示すように、これらの捕獲準位に捕獲されたチャネルキャリア 231 は、チャネル中にポテンシャル障壁 230 を多数形成してしまい、チャネル電流の拡散やドリフトを阻害する。

【0019】

そして、これらのチャネルキャリア捕獲準位は、S i のバンドギャップ中に存在するため、ゲート電圧が、より正方向に印加されるほど多数のチャネルキャリアが捕獲され、更にポテンシャル障壁 230 を成長させることになる。

換言すれば、ゲートに正の電圧を加えれば加える程、T F T の閾値電圧 V_{th} が上昇してしまうことになる。

【0020】

この結果、図 20 (c) の右のゲート電圧 V_{gs} 対チャネル電流 I_{ds} 特性に示すように、矢印が付してあるテーリング領域部分は、同図 (b) に示したチャネルキャリア捕獲準位が存在しない理想的な場合と比較して大きく寝てしまい、その傾きは 200 mV/桁電流 から 300 mV/桁電流 以上にもなってしまう。

ここで、いま、 300 mV/桁電流 の場合、これは例えば 5 桁の電流制御に必要なゲート電圧振幅が 1500 mV 必要になるということを意味する。

【0021】

更に、実際にチャネルキャリア捕獲準位が存在する現実的な場合には、ポテンシャル障壁 230 の成長によって、見かけ上の閾値電圧 V_{th} が上昇するため、同じゲート電圧に対応するチャネル電流値そのものも大きく減ってしまい、回路

の駆動に必要となる駆動電圧は遥かに大きくなってしまふ。

【0022】

現実問題として、多結晶Siをチャネル形成領域225に用いた従来のTFTでは、安定動作には、一般に10Vから15V前後の駆動電圧が必要になり、このようにTFTの動作電圧が高くなってしまふため、従来技術では、低電圧駆動による消費電力の削減が困難であったのである。

なお、上記の議論は、nチャネルのTFTを例にしたが、pチャネルTFTでも同様である。

【0023】

本発明の一方の目的は、低電圧で充分に動作する電界効果トランジスタを提供することにある。

次に、本発明の他方2の目的は、消費電力が少なく済む液晶表示装置を提供することにある。

【0024】

【課題を解決するための手段】

上記目的は、第1と第2のソース領域に挟まれたチャネル領域にゲート電極を有する絶縁ゲート型の電界効果トランジスタにおいて、前記チャネル領域の一部に、前記ゲート電極が平面的に重ね合わされていない領域を設けることにより達成される。

【0025】

このとき、前記チャネル領域が、多結晶シリコン膜で構成されるようにしてもよく、前記チャネル領域の前記ゲート電極と平面的に重ね合わされていない領域の長さが、当該チャネル領域を構成する多結晶シリコンの結晶粒径よりも長く設定されるようにしてもよい。

【0026】

また、このとき、前記チャネル領域が真性半導体で形成されているようにしてもよく、前記チャネル領域の前記ゲート電極と平面的に重ね合わされていない領域に $1e^{-18}/\text{cm}^3$ 以下の不純物が注入されているようにしてもよい。

【0027】

或いは、このとき、前記ゲート電極が、前記チャンネル領域を保持している基板に対して、当該チャンネル領域の前記基板とは反対側に設けられているようにしてもよく、前記ゲート電極が、前記チャンネル領域を保持している基板に対して、当該チャンネル領域と前記基板の間に設けられているようにしてもよい。

【 0 0 2 8 】

更に、このとき、前記ゲート電極は、その少なくとも一部が、前記第 1 と第 2 のソース領域の何れか一方に対しても、平面的に重ね合わされているようにしてもよい。

【 0 0 2 9 】

同じく上記目的は、第 1 と第 2 のソース領域に挟まれたチャンネル領域にゲート電極を有する絶縁ゲート型の電界効果トランジスタにおいて、前記ゲート電極が、前記チャンネル領域の長さ方向で、前記第 1 のソース領域側と前記第 2 のソース領域側に分離された 2 個の独立したゲート電極で形成されるようにしても達成される。

【 0 0 3 0 】

このとき、前記チャンネル領域が真性半導体で形成され、更には、前記チャンネル領域に $1 \times 10^{18} / \text{cm}^3$ 以下の不純物が注入されているようにしてもよい。

【 0 0 3 1 】

また、上記目的は、第 1 と第 2 のソース領域に挟まれたチャンネル領域にゲート電極を有する絶縁ゲート型の電界効果トランジスタにおいて、前記チャンネル領域は、平面形状が略カタカナのエの字状に形成され、前記エの字状の一方の辺の一方の端部に一方のソース領域が、そして他方の端部には他方のソース領域がそれぞれ形成され、前記エの字状の他方の辺の一方の端部には他方のソース領域が、そして他方の端部には一方のソース領域がそれぞれ形成され、前記ゲート電極を、前記チャンネル領域の前記エの字状の一方の辺と他方の辺を結ぶ領域に共通に平面的に重ね合わされて形成することにより、前記一方の辺のチャンネル領域と前記の他方のチャンネル領域で前記ソース領域の導電型が入れ替えられていて、それぞれで 2 個の電界効果トランジスタが形成されるようにしても達成される。

【 0 0 3 2 】

このとき、前記チャネル領域が真性半導体で形成され、更には、前記チャネル領域に $1 \text{ e}^{-} 1 8 / \text{cm}^3$ 以下の不純物が注入されているようにしてもよい。

【 0 0 3 3 】

更に、上記目的は、少なくとも複数の画素を有する表示部と、少なくとも表示信号の信号処理と前記表示部に対する表示信号の書込みを行う制御部を同一絶縁基板上に備えた画像表示装置において、前記制御部の少なくとも一部が、請求項 1 ～請求項 1 1 に記載の電界効果トランジスタの何れかにより構成されるようにしても達成される。

【 0 0 3 4 】

また、上記目的は、少なくとも複数の画素を有する表示部と、少なくとも表示信号の信号処理と前記表示部に対する表示信号の書込みを行う制御部を同一絶縁基板上に備えた画像表示装置において、前記制御部の少なくとも一部が、請求項 1 ～請求項 1 1 に記載の電界効果トランジスタの何れかにより構成され、前記表示部の画素制御素子が、前記請求項 1 2 ～請求項 1 3 に記載の電界効果トランジスタの何れかで構成されるようにしても達成される。

【 0 0 3 5 】

【発明の実施の形態】

以下、本発明による電界効果トランジスタと液晶表示装置について、図示の実施の形態により、詳細に説明する。

<第 1 の実施形態>

まず、図 1 ～図 9 により、本発明の第 1 の実施形態について説明する。

この実施形態に係る多結晶シリコン (poly-Si) T F T 液晶表示パネルは、図 2 に示すように、ガラス基板 1 4 を備え、このガラス基板 1 4 の上に、液晶容量 4 を有する画素 1 がマトリクス状に配置されている (図面の簡略化のため、画素 1 は 4 個だけ記載した)。

【 0 0 3 6 】

そして、各画素 1 の液晶容量 4 は、ゲートが共通にゲート線 5 に接続され、ソースとドレインが直列接続された 2 個の画素 T F T 2、3 を介して、信号線 9 に接続されている。

次に、各々の画素 1 は、まず行方向にゲート線 5 で並列に接続され、このゲート線 5 からゲート線バッファ 8、ゲート線レベルシフタ 7 を介してゲート線シフトレジスタ 6 に接続されている。

【 0 0 3 7 】

一方、列方向では、信号線 9 に並列に接続され、この信号線 9 から信号線スイッチ 1 0 を介して信号入力線 1 2 に接続されている。

このとき、信号線スイッチ 1 0 は、シフトレジスタ出力線 1 1 を介して、信号線シフトレジスタ 1 3 により制御される。

【 0 0 3 8 】

次に、この実施形態の動作について説明する。

まず、信号線シフトレジスタ 1 3 は、シフトレジスタ出力線 1 1 を介して信号線スイッチ 1 0 を走査し、信号入力線 1 2 から入力された信号電圧を所定の信号線 9 に振り分ける。

【 0 0 3 9 】

一方、ゲート線シフトレジスタ 6 は、ゲート線レベルシフタ 7 とゲート線バッファ 8 を介してゲート線 5 を順次走査し、所定の画素行の画素 T F T 2、3 を開閉させ、信号線 9 に出力されている信号電圧を、画素 1 内の液晶容量 4 に印加する。

【 0 0 4 0 】

そこで、この液晶容量 4 に入力された信号電圧が各画素 1 に対応する液晶部分の光学特性を変調し、この結果、表示パネル全体として、入力された信号電圧に応じた画像が表示されることになる。

【 0 0 4 1 】

また、このとき、各画素に光学的反射電極を配置することにより、バックライトやフロントライトなどによる内部照明が無くても、外部環境光だけで画像表示が得られるようにした、いわゆる反射表示型の液晶表示装置として実施することができる。

【 0 0 4 2 】

ここで、この実施形態によれば、駆動電圧が、例えば 5 V と低くでき、この結

果、消費電力が大幅に低減できるが、その理由は、ゲート線シフトレジスタ 6、ゲート線レベルシフタ 7、信号線シフトレジスタ 13、それに信号線スイッチ 10などに、以下に説明する低電圧駆動電界効果トランジスタが採用されているからである。

【 0 0 4 3 】

図 1 は、本発明による低電圧駆動電界効果トランジスタの一実施形態を示したもので、この低電圧駆動電界効果トランジスタは、まず、図 1 (a) の断面図に示したように、 n^+ の高濃度不純物注入領域 22 で構成されている第 1 ソース領域と、 p^+ の高濃度不純物注入領域 23 で構成される第 2 ソース領域、 i で示した不純物非注入領域 24 で構成されるチャネル形成領域、それにゲート電極 20 で構成されている。

【 0 0 4 4 】

但し、ここでも、ゲート電極 20 と i 領域 24 の間、それに他の領域に形成される絶縁物(例えば SiO_2 と Si_3N_4)と、これらの下に設けられているガラス基板 14 は、図面の簡略化のために省略してある。

【 0 0 4 5 】

そして、この低電圧駆動電界効果トランジスタでは、図 1 (b) の平面図に示すように、ゲート電極 20 が、 i 不純物非注入領域 24 の全領域に平面的に重ね合わされるようにして設けられているのではなくて、図示のように、 n^+ 高濃度不純物注入領域 22 に接している方の端部に偏って、 i 不純物非注入領域 24 の略半分の領域にだけ平面的に重畳した形で設けられている。

【 0 0 4 6 】

更に、第 1 ソース領域となる n^+ 高濃度不純物注入領域 22 には、一方のソース端子(1)が接続され、第 1 ソース領域となる p^+ 高濃度不純物注入領域 23 には、他方のソース端子(2)が接続されている。ここで、これらのソース領域は、使用態様に応じて、何れか一方は、いわゆるドレイン領域となるものである。

【 0 0 4 7 】

このとき、ゲート電極 20 の幅は i 不純物非注入領域 24 の長さの略半分で、 p^+ 高濃度不純物注入領域 23 から約 $4\ \mu m$ 離れた状態にしてあり、 n^+ 高濃度

不純物注入領域 2 2 と p^+ 高濃度不純物注入領域 2 3、それに i 不純物非注入領域 2 4 は、いずれも多結晶 Si 薄膜で形成されているが、更に、 i 不純物非注入領域 2 4 は、結晶粒径約 $0.5 \mu m$ 、膜厚 $50 nm$ の多結晶 Si 薄膜になっている。

【 0 0 4 8 】

ここで、上記の構成から明らかなように、この実施形態による低電圧駆動電界効果トランジスタも、従来の多結晶 Si TFT と共通のプロセスにより容易に作成することができ、従って、従来の多結晶 Si TFT と同一の基板上に作り分けることも容易である。

【 0 0 4 9 】

次に、この実施形態に係る低電圧駆動電界効果トランジスタの動作について、図 3 により説明する。

まず、図 3 (a) に示すように、ソース端子 (1) が接続されている n^+ 高濃度不純物注入領域 2 2 を接地し、ソース端子 (2) が接続されている p^+ 高濃度不純物注入領域 2 3 を電圧 V_h に接続したとすると、 n^+ 高濃度不純物注入領域 2 2 から i 不純物非注入領域 2 4 にチャネルキャリアである電子が注入される。

【 0 0 5 0 】

ここで、この実施形態でも、チャネル形成領域となる i 不純物非注入領域 2 4 が、従来技術の場合と同じく、多結晶 Si で作られており、このため、チャネル形成領域には結晶欠陥や粒界に起因するチャネルキャリア捕獲準位が多数存在する。

【 0 0 5 1 】

従って、 i 不純物非注入領域 2 4 の中に注入されたチャネルキャリアである電子 e^- は、図 3 (b) に示すように、捕獲準位に容易に捕獲されてしまう。

そして、捕獲準位に捕獲された電子 2 5 は、ゲート電極 2 0 の下も含めて i 不純物非注入領域 2 4 の中にポテンシャル障壁 3 0 を多数形成してしまう。

【 0 0 5 2 】

しかし、このとき、注入された電子の一部は、 n^+ 高濃度不純物注入領域 2 2 からゲート電極 2 0 の右端まで到達し、この部分のポテンシャルを低下させるの

で、ソース端子(2)が接続されている p^+ 高濃度不純物注入領域 23 からのホール h^+ の注入を誘起する。

【0053】

ここで、新規に注入されたホール 26 から見た場合、電子 e^- を捕獲した捕獲準位は負に帯電しているため、その捕獲断面積(capture crosssection)が非常に大きくなり、この結果、極めて寿命の短い再結合中心として機能する。

【0054】

しかも、この再結合中心の寿命は、電子単体による捕獲準位の寿命よりも遥かに短く、このため、電子から見た場合のチャネルキャリア捕獲準位はスクリーニングされてしまい、この結果、電子を捕獲したチャネルキャリア捕獲準位 25 が生成するポテンシャル障壁 30 は、等価的には消滅してしまったものと看做することができる。

【0055】

ここで、チャネルキャリア捕獲準位は、新規に注入されたホールに対しても同様にキャリア捕獲を行うものの、この場合も、ホールを捕獲した捕獲準位は正に帯電しているため、その捕獲断面積が非常に大きく、極めて寿命の短い再結合中心として機能する。

【0056】

従って、ホールから見た場合のチャネルキャリア捕獲準位も、同様のメカニズムでスクリーニングされてしまい、ホールを捕獲したチャネルキャリア捕獲準位が生成するポテンシャル障壁も、同じく等価的に消滅してしまったものと見なすことができる。

【0057】

以上の結果、図 1 と図 3 に示した低電圧駆動電界効果トランジスタによれば、結晶欠陥や粒界に起因するチャネルキャリア捕獲準位と、これに起因するポテンシャル障壁 30 の影響が回避できることが判る。

【0058】

また、この低電圧駆動電界効果トランジスタでは、電子とホールが相互にチャネルキャリア捕獲準位に起因するポテンシャル障壁をスクリーニングするため、

i 不純物非注入領域 24 に寄生する抵抗の影響も殆どなく、無視できることも判る。

【0059】

従って、この実施形態に係る低電圧駆動電界効果トランジスタでは、ゲート電圧 V_{gs} に対するチャネル電流 I_{ds} 特性として、 100 mV/ 桁電流以下の値の特性のものが容易に得られることになる。

【0060】

また、この実施形態においては、従来技術とは異なり、ゲート電圧を上げた際にもポテンシャル障壁 30 の成長に起因する閾値電圧 V_{th} の増大も起こらないので、 5 V の低電圧による駆動で、十分な出力電流が確保できる。

【0061】

次に、本発明による低電圧駆動電界効果トランジスタの他の実施形態について説明する。

ここで、これ以降での説明を容易にするため、本発明による低電圧駆動電界効果トランジスタを“両極性 T F T”と称することとし、更に、この両極性 T F T については、ここでは図 3 (c) に示す記号で表現することとする。

なお、これは、 n^+ と p^+ の両極性のソースを有するという、この電界効果トランジスタの特徴に由来する。

【0062】

ところで、この図 3 に示した両極性 T F T の実施形態は、その低電圧側端子であるソース端子 (1) の電圧を基準にし、これに対してゲート端子からゲート電極 20 に印加された電圧の大きさによりチャネル電流が制御されるものである。

【0063】

しかし、本発明によれば、反対に、高電圧側端子であるソース端子 (2) に対するゲート端子印加電圧によって、そのチャネル電流を制御するようにした両極性 T F T も、類似の構成により実現することができ、以下、これを本発明の第 2 の実施形態として、図 4 を用いて説明する。

【0064】

この第 2 の実施形態による両極性 T F T は、図 4 (a) の断面図と同図 (b) の平面

図に示すように、 n^+ 高濃度不純物注入領域 22 p からなる第 3 ソース領域と、 p^+ 高濃度不純物注入領域 23 p からなる第 4 ソース領域、それに、 i 不純物非注入領域 24 p からなるチャネル形成領域、それにゲート電極 20 p で構成されている。

【0065】

そして、 n^+ 高濃度不純物注入領域 22 p からなる第 3 ソース領域にはソース端子(3)が接続され、 p^+ 高濃度不純物注入領域 23 p からなる第 4 ソース領域にはソース端子(4)が接続されている。

なお、ここでも、ゲート電極 20 p と i 領域 24 p の間と、その他の領域に形成されている絶縁物(SiO_2 と Si_3N_4)は、図面の簡略化のために省略している。

【0066】

ここで、この第 2 の実施形態に係る両極性 T F T が、図 1 で説明した実施形態と大きく異なる点は、 i 不純物非注入領域 24 p からなるチャネル形成領域に対するゲート電極 20 p の重ね合わせ位置が反対になっている点にある。

【0067】

すなわち、図示のように、この実施形態では、 i 不純物非注入領域 24 の p^+ 高濃度不純物注入領域 23 p からなる第 4 ソース領域に接している方の端部に偏って、略半分の領域にだけ重畳した形でゲート電極 20 p 設けられているのである。

【0068】

このときも、ゲート電極 20 p は、ソース端子 3 を有する n^+ 高濃度不純物注入領域 22 p から約 $4\ \mu m$ 離れている。

そして、この第 2 実施形態による両極性 T F T については、ここでは図 4 (c) に示す記号で表現することとする。

また、便宜上、これ以降は、図 3 で説明した両極性 T F T を「 n チャネル」、第 2 の両極性 T F T を「 p チャネル」と表現することにする。

【0069】

この図 4 に示す第 2 の実施形態による両極性 T F T の動作に関しては、 n^+ 領

域と p^+ 領域、及び電子とホールを入替え、ポテンシャルの上下を逆にすれば、図3で説明した両極性TFTの動作と同様であるため、ここでは、説明は省略する。

【0070】

次に、本発明の更に別の実施形態について説明する。

図5は、図2の実施形態におけるゲート線シフトレジスタ6と信号線シフトレジスタ13に用いられているシフトレジスタ単位ユニットの構成図である。

このシフトレジスタ単位ユニットの入力端子30は、第1クロック $ck1$ により制御されるクロックトインバータ31の入力に接続される。ここで、クロックトインバータとは、クロックで動作制御されるインバータ(反転回路)のことである。

【0071】

そして、このクロックトインバータ31の出力は、インバータ32及び第2クロック $ck2$ で制御されるクロックトインバータ33で構成される第1のフリップフロップに入力され、更に、この第1のフリップフロップの出力は、第1のシフトレジスタ出力34と、クロック $ck2$ で制御されるクロックトインバータ36の双方に接続される。

【0072】

クロックトインバータ36の出力は、インバータ37及びクロック $ck1$ で制御されるクロックトインバータ38で構成される第2のフリップフロップに入力され、この第2のフリップフロップの出力は、第2のシフトレジスタ出力39とシフトレジスタ単位ユニットの出力端子40の双方に接続される。

ここで、クロック $ck1$ とクロック $ck2$ とは、互いに“H”と“L”が反転した相補クロックである。

【0073】

次に、このシフトレジスタ単位ユニットの動作について説明すると、これは基本的には従来から知られているものと同じである。

すなわち、第1クロック $ck1$ で制御されるクロックトインバータ31がオンになることで、前段のシフトレジスタ単位ユニットからの出力を第1のフリップ

フロップに取込み、第2クロック c k 2 で制御されるクロックインバータ 3 6 がオンになることで、第1のフリップフロップの信号を第2のフリップフロップに取込むというシフト動作を繰り返すのである。

【 0 0 7 4 】

しかし、この図5の実施形態では、従来技術と異なり、各クロックインバータとインバータに、本発明に係る両極性 T F T が用いられているので、5 V 以下の低電圧でも容易に動作させることができ、これが、この実施形態の大きな特徴である。

【 0 0 7 5 】

以下、これらの回路に関して説明する。

まず、図6は、本発明の実施形態によるクロックインバータ 3 3、3 6 の構成図で、これらは、図示のように、2 個の p チヤネル両極性 T F T 4 4、4 2 と 2 個の n チヤネル両極性 T F T 4 3、4 5 を、高電圧電源 (V H) 4 7 と接地電位の間、高電圧側から低電圧側に電流を流す極性で、接続したものである。

【 0 0 7 6 】

そして、入力端子 4 1 は、p チヤネル両極性 T F T 4 2 と n チヤネル両極性 T F T 4 3 の双方のゲートに共通に接続され、p チヤネル両極性 T F T 4 2 と n チヤネル両極性 T F T 4 3 の双方のソース端子に共通に出力端子 4 6 が設けられている。

【 0 0 7 7 】

その上で、第1クロック c k 1 は、p チヤネル両極性 T F T 4 4 のゲートに供給され、第2クロック c k 2 は、n チヤネル両極性 T F T 4 5 のゲートに供給される。

従って、まず、第1クロック c k 1 が “H” で、第2クロック c k 2 が “L” のとき、p チヤネル両極性 T F T 4 4 と n チヤネル両極性 T F T 4 5 が共にオフされ、両ソース電極間が開放状態になるので、出力端子 4 6 は開放となる。

【 0 0 7 8 】

次に、第1クロック c k 1 が “L” になって、第2クロック c k 2 が “H” になると、p チヤネル両極性 T F T 4 4 と n チヤネル両極性 T F T 4 5 は共にオ

ンされ、両ソース電極間が短絡状態になる。

この場合、入力端子41に“H”が入力されたとすると、nチャネル両極性TFT43は短絡、pチャネル両極性TFT42は開放になる。

【0079】

従って、出力端子46には“L”が現われ、入力端子41に“L”が入力されたとすれば、今度はnチャネル両極性TFT43は開放で、pチャネル両極性TFT42は短絡になるため、出力端子46には“H”が現れることになり、クロックインバータとして動作することになる。

【0080】

ここで、クロックのレベル“L”、“H”での各出力電圧は、それぞれ接地電圧と高電圧電源(VH)47電圧で決まり、従って、これはCMOSクロックインバータの動作に相当する。

ちなみに、この実施形態においては、高電圧電源(VH)47の電圧は5Vで充分であった。

【0081】

ところで、この図6では、クロックインバータ33、36について説明したが、クロックインバータ31、38については、第1クロックck1と第2クロックck2を入れ替えたものであり、従って、ここでは説明は省略する。

【0082】

次に、図7は、インバータ32、37の構成図で、これらは、図示のように、pチャネル両極性TFT49とnチャネル両極性TFT50の2個の両極性TFTを、高電圧電源(VH)47と接地電位の間に、高電圧側から低電圧側に電流を流す極性で、接続したものである。

【0083】

そして、入力端子48は、pチャネル両極性TFT48とnチャネル両極性TFT50の双方のゲートに共通に接続され、pチャネル両極性TFT48とnチャネル両極性TFT50の双方のソース端子に共通に出力端子51を設けたものである。

【0084】

次に、この図7の実施形態の動作について説明する。

いま、ここで、入力端子48に“H”が入力されたとすると、nチャネル両極性TFT50は短絡、pチャネル両極性TFT49は開放になり、このため出力端子51は“L”になる。

【0085】

また、入力端子48に“L”が入力された場合には、今度はnチャネル両極性TFT50は開放、pチャネル両極性TFT49は短絡になるため、出力端子51には“H”が現れることになり、インバータ、つまり反転回路として動作することになる。

【0086】

なお、ここでも、出力“L”と出力“H”での電圧は、それぞれ接地電圧と、高電圧電源(VH)47の電圧で決まるので、これはCMOSインバータの動作に相当する。

ちなみに、ここでも、高電圧電源(VH)47の電圧は5Vとしても十分に動作することは、既に述べた通りである。

【0087】

ところで、上記の説明においては、“両極性TFTが短絡する”という表現を用いたが、これは、正確には若干異なる。すなわち、両極性TFTがオンした場合は、 p^+ 高濃度不純物領域と n^+ 高濃度不純物領域が、iチャネル形成領域を挟んで順方向導通されることになると考えて良いが、この場合、その電流電圧特性がダイオード特性に近似されるからである。

【0088】

このとき、近似されるダイオードの逆方向リーク電流が小さい場合は、両極性TFTの両端の電圧が等しいときのオン抵抗は大きくなり、逆方向リーク電流が大きい場合には、両極性TFTの両端の電圧が等しいときのオン抵抗は小さくなる。

【0089】

現実には、上記実施形態のように、 $4\mu\text{m}$ 幅のチャネル形成領域を挟んだダイオードの場合、逆方向リーク電流は $1\text{pA}/\mu\text{m}$ 以下と小さいため、両極性TFT

Tの両端の電圧が等しい場合のオン抵抗は大きく、実際の回路出力には0.5 V程度の出力オフセット電圧が入ると考えて良い。

【0090】

このため、この実施形態においては、nチャネル両極性のソース端子(1)とゲート間電圧、及びpチャネル両極性TFTのソース端子(4)とゲート間で規定される閾値電圧 V_{th} を、上記の出力オフセット電圧より大きい1.5 Vと-1.5 Vの電圧になるように作り、次段の両極性TFTが十分に余裕を持ってオフされるようにしている。

【0091】

次に、図2の実施形態における信号線スイッチ10の実施形態について、図8により説明する。

ここで、まず、この図8で V_{in} と V_{out} で示してある信号線スイッチ10の両端子の間には、図示のように、nチャネルTFT 58とnチャネル両極性TFT 52、53がそれぞれ逆向きに接続されており、これらのゲート電極には信号線スイッチ正ゲート線56が共通に接続されている。

【0092】

また、更にこれらと並列に、pチャネルTFT 59とpチャネル両極性TFT 54、55がそれぞれ逆向きに接続されており、これらのゲート電極には信号線スイッチ逆ゲート線57が接続されている。

次に、この図9の実施形態の動作について説明する。

【0093】

信号線スイッチ正ゲート線56と信号線スイッチ逆ゲート線57には、それぞれがレベル反転している“H1”と“L1”の信号が印加されるが、これらの信号電圧の内、一方の“H1”の電圧は、入力 V_{in} と出力 V_{out} 間に現れる電圧よりも高い電圧になるようにしてあり、他方、信号電圧“L1”は、入力 V_{in} と出力 V_{out} 間に現れる電圧よりも低い電圧になるようにしてある。

【0094】

そこで、いま、信号線スイッチ正ゲート線56に“L1”、信号線スイッチ逆ゲート線57に“H1”が入力されたとすると、この場合は、上記した全てのト

ランジスタはオフ状態になり、従って、入力 V_{in} と出力 V_{out} 間は開放されたままで、オフになる。

【0095】

これに対して、信号線スイッチ正ゲート線56に“H1”、信号線スイッチ逆ゲート線57には“L1”が入力されたとすると、この場合は、上記全てのトランジスタは、今度はオン状態になり、従って、入力 V_{in} と出力 V_{out} 間は短絡状態になる。

従って、この図8の構成により、スイッチ機能が得られ、信号線スイッチ10を実現することができる。

【0096】

ここで、この実施形態では、6個のトランジスタが使用されているが、これらはそれぞれ異なる役割を果たす。

まず、pチャネルとnチャネルの各トランジスタは、入力 V_{in} と出力 V_{out} 間の電圧が高い場合と低い場合に、それぞれ分けて機能する。次に、接続方向が異なる両極性TFETは、それぞれ異なる向きの電流駆動を行う。

【0097】

このとき、両極性TFETは、両端のソース電圧が1V以上異なる場合には、大きな電流駆動能力を示すが、両端のソース電圧がほぼ等しい状態では、抵抗が大きくなってしまふことは既に説明した通りである。

【0098】

そこで、図8に示すように、普通のTFET58、59を各々並列に接続し、信号線スイッチ10の書込み初期(導通立上り時期)には両極性TFETが支配的に電流を駆動し、書込み終了近く(導通完了時期)になって入力 V_{in} と出力 V_{out} 間の電圧が近づくにつれ、普通のTFETが支配的に電流を駆動するように構成したのである。

【0099】

次に、図2の実施形態におけるゲート線レベルシフタ7の実施形態について、図9により説明する。

まず、pチャネルTFET68、66と、nチャネル両極性TFET65からなる

入力信号反転回路を、電圧VHHが印加された電源線69と接地電位の間に直列に接続し、pチャネルTFT67、64、nチャネル両極性TFT63からなる入力信号反転回路も、同じく電圧VHHが印加された電源線69と接地電位の間に直列に接続する。

【0100】

そして、pチャネルTFTとnチャネル両極性TFT65の接続点と、pチャネルTFT64とnチャネル両極性TFT63の接続点を各入力信号反転回路の出力端子71、72とする。

また、これらの出力端子71、72は、それぞれpチャネルTFT67、68のゲートに接続してある。

【0101】

次に、pチャネルTFT66とnチャネル両極性TFT65のゲートは、それぞれ逆入力端子62に共通に接続され、pチャネルTFT64とnチャネル両極性TFT63のゲートは、それぞれ正入力端子61に共通に接続されている。

【0102】

次に、この図9の実施形態の動作について説明する。

このゲート線レベルシフタ7には、正入力端子61と逆入力端子62から、それぞれ相互にレベルが反転した“H”と“L”の信号が入力され、これにより、2組の入力信号反転回路がそれぞれ逆の信号を出力する。

【0103】

ここで、まず一方の入力信号反転回路のnチャネル両極性TFTがオンのときは、その回路の出力は0Vであり、この0Vが他方の入力信号反転回路のpチャネルTFTをオンさせるため、他方の回路の出力は電圧VHHになる。

【0104】

このとき、この実施形態では、正入力端子61と逆入力端子62に供給される信号の電圧は5Vで、電源電圧VHHは10Vに設定してあり、従って、レベルシフタとして動作することになる。

そして、この実施形態の場合、nチャネル両極性TFT63、65の電流立ち上がり特性が良好で急峻になっているため、5Vの低い電源電圧でゲート線レベル

シフタ7を動作させることができる。

【0105】

なお、この図9において、他のpチャネルTFTも両極性TFTに置き換えることもできるが、低電圧駆動が5Vの場合は、そこまではする必要はなく、一方、pチャネルTFTを用いた方が出力振幅が最大V_{HH}まで大きく取れるという利点を得られる。

【0106】

ここで、回路規模の増加を許すならば、pチャネルTFTにも並列にpチャネル両極性TFTを設ける方法を採用することによって、出力振幅をフルスイングさせながら、出力電流を向上させることも可能であることは、図8に説明した信号線スイッチ10で説明したことからも明らかである。

【0107】

ところで、これまで説明した両極性TFTでは、上記したように、ゲート端子からソース端子(2)まで、或いはソース端子(3)までのi領域の幅(電流経路の長さ)が4 μ mに設定してあるが、このi領域の幅は、それが狭い方が出力電流は大きくなり、また両電流端子間の電圧が近づいた際の順方向ダイオードモードにおける出力抵抗も低減できる。

【0108】

しかしながら、このi領域の幅が、多結晶Siの結晶粒径より狭くなってしまうと、結晶粒界準位の影響が見えなくなるため、ゲート電極の電圧を正/負のいずれに振っても電流をオフすることのできず、この結果、単にnチャネルTFTとpチャネルTFTが並列に接続されたTFTペアと同じになって、もはや両極性TFTとしての機能が失われてしまう。

【0109】

従って、両極性TFTのオフ特性は、このi領域の幅で決ってしまうので、その幅は、製造上のインアラマスクの合わせずれ等のばらつきを考慮して上で、慎重に決定されなくてはならないが、ここで、現実のTFTプロセスを考慮した場合、このi領域の幅は、1 μ mから6 μ m程度が適当な値と考えられる。

【0110】

なお、上記実施形態では、両極性TFTにおけるゲート電極下及びゲートに隣接するチャネル形成領域がi領域の場合について説明したが、ここで、このi領域これに $1e^{-18}/cm^3$ 以下の微量の不純物を入れておくことにより、両極性TFTの閾値電圧 V_{th} を制御することもできる。

【0111】

但し、このことは、従来のTFTにおいて、閾値電圧 V_{th} の制御に適用されている一般的な技術であり、従って、上記のことは、従来技術を両極性TFTにも適用したことに相当する。

【0112】

ところで、以上の実施形態では、両極性TFTを、図2の実施形態における画素TFT2、3に適用した例について説明しなかったのは、上記した“i領域”の空乏化部分が光感度を有し、これによる光電変換電流がオフリーク電流となってしまうためであり、従って、上記実施形態において、両極性TFTを含む周辺回路部分は、入射光に起因する誤動作に対する余裕を確保するため、遮光しておくのが望ましい。

【0113】

ここで、以上に説明した実施形態については、本発明の主旨を損なわない範囲でいくつもの変更が可能である。

例えば、上記実施形態では、パネルの基板として、ガラス基板14を用いているが、これを石英基板や透明プラスチック基板に変更することも可能であるし、更に反射型表示の場合には、不透明な基板を用いることも可能である。

【0114】

また、上記実施形態の説明では、画素数やパネルサイズ等に関しては敢えて言及していない。

これは、本発明の実施形態が、特にこれらのスペック乃至フォーマットに制限されるものではないためである。

【0115】

更に、上記実施形態では、従来の普通のTFTと本発明による両極性TFTとを適宜使い分けているが、この使い分け方には種々の設計思想や設計仕様に基づ

く様々なバリエーションが存在することは言うまでもない。

【 0 1 1 6 】

例えば、オン抵抗の仕様によっては、信号線スイッチ 1 0 は、従来の T F T のみで構成するなどの選択肢も存在する。

勿論、以上の種々の変更は、以上の実施形態に限らず、以下に説明する他の実施形態においても、基本的には同じであることは言うまでもない。

【 0 1 1 7 】

< 第 2 の実施形態 >

次に、本発明の第 2 の実施形態について説明する。

図 1 0 は、第 2 の実施形態に係る多結晶シリコン T F T 液晶表示パネルを示したもので、図示のように、この実施形態でも、図 2 で説明した第 1 の実施形態と同じく、ガラス基板 1 4 を備え、このガラス基板 1 4 の上に、液晶容量 4 を有する画素 1 がマトリクス状に配置されている(同じく簡略化のため、画素 1 は 4 個だけ記載した)。

【 0 1 1 8 】

そして、各画素 1 の液晶容量 4 は、ゲートが共通にゲート線 5 に接続され、ソースドレインが直列接続された 2 個の画素 T F T 2、3 を介して、信号線 9 に接続されている。

また、各画素 1 は、行方向にはゲート線 5 で並列に接続され、列方向では、信号線 9 に並列に接続されている。

そして、行方向のゲート線 5 は、ゲート線バッファ 8、ゲート線レベルシフタ 7 を介してゲート線シフトレジスタ 6 に接続されている。

【 0 1 1 9 】

従って、これまでの構成は、図 2 で説明した実施形態と同じで、ゲート線レベルシフタ 7 とゲート線バッファ 8 を介して、ゲート線シフトレジスタ 6 により、ゲート線 5 が順次走査され、これにより、信号線 9 に振り分けられた信号電圧を所定の画素 1 内の液晶容量 4 に印加し、これにより各画素 1 に対応する液晶部分の光学特性を変調し、この結果、表示パネル全体として、入力された信号電圧に応じた画像が表示されるように動作する点も、同じである。

【 0 1 2 0 】

また、このとき、各画素に光学的反射電極を配置することにより、バックライトやフロントライトなどによる内部照明が無くても、外部環境光だけで画像表示が得られるようにした、いわゆる反射表示型の液晶表示装置として実施することができる点も、図 2 の実施形態と同じである。

【 0 1 2 1 】

しかして、この図 1 0 の実施形態では、信号線 9 が信号線シフトレジスタ 1 3 に至るまでの回路構成が図 2 の実施形態とは異なっている。

そこで、以下、この図 2 の実施形態とは異なっている点に重点をおいて説明する。

【 0 1 2 2 】

まず、この図 1 0 の実施形態では、各画素 1 から出た信号線 9 は、それぞれの電圧セレクタ 8 7 に接続されている。

一方、信号線シフトレジスタ 1 3 の出力は、1 次ラッチ制御線 8 9 と共に N A N D 回路 8 8 の各入力に接続され、各 N A N D 回路 8 8 の出力により、それぞれのデータ 1 次ラッチ 8 2 が制御される。

【 0 1 2 3 】

ここで、データ入力線 8 1 には、4 ビット並列のデジタルデータが入力され、これらのデータはデータ 1 次ラッチ 8 2 に入力された後、このデータ 1 次ラッチ 8 2 から出力され、2 次ラッチ制御線 8 3 で制御されるデータ 2 次ラッチ 8 4 に供給される。そして、このデータ 2 次ラッチ 8 4 の出力が電圧セレクタ 8 7 に入力されるようになっている。

【 0 1 2 4 】

一方、ラダー抵抗 8 5 からは 1 6 本の基準電圧線 8 6 が引き出され、これにより、各画素 1 の中にある液晶を 1 6 階調で変調するのに必要な 1 6 種類の基準電圧が電圧セレクタ 8 7 に入力されている。

次に、この実施形態の動作について説明する。

【 0 1 2 5 】

信号線シフトレジスタ 1 3 の出力信号は、1 次ラッチ制御線 8 9 の信号と A N

D論理がとられた上で各データ1次ラッチ82に供給され、これにより、4本のデジタルデータ入力線81から入力された4ビットのデジタル信号データを、所定のデータ1次ラッチ82に振り分けで取り込ませる。

【0126】

このデータ1次ラッチ82に振り分けられたデジタル信号データは、2次ラッチ制御線83から入力される信号により制御され、1水平走査周期で駆動される2次データラッチ84にラッチされ、電圧セクタ87に入力される。

【0127】

ラダー抵抗85は、デコード後のアナログ電圧を16本の基準電圧線86を介して電圧セクタ87に入力し、電圧セクタ87はこの基準電圧を用いて4ビットのデジタル信号データのデコード処理(DA変換)を行う。

【0128】

なお、この電圧セクタ87によるDA変換動作に関しては、例えば、

“ISSCC 2000 Digest of technical papers, pp188-189(2000)”
に報告されているため、ここでは詳細な構成及び動作の説明は省略する。

このようにして、電圧セクタ87からは、4ビットのデジタル信号データが所定のアナログ信号電圧に変換され、信号線9に出力される。

【0129】

一方、ゲート線シフトレジスタ6は、上記したように、ゲート線レベルシフタ7とゲート線バッファ8を介してゲート線5を順次走査し、所定の画素行の画素TFT2、3を開閉制御し、信号線9に出力されている信号電圧を、画素1内の液晶容量4に入力する。

【0130】

そこで、この液晶容量4に入力された信号電圧が各画素1に対応する液晶部分の光学特性を変調し、この結果、表示パネル全体として、入力された信号電圧に応じた画像が表示されることになる。

【0131】

また、このとき、各画素に光学的反射電極を配置することにより、バックライトやフロントライトなどによる内部照明が無くても、外部環境光だけで画像表示

が得られるようにした、いわゆる反射表示型の液晶表示装置として実施することができる。

【0132】

そして、この図10の実施形態でも、ゲート線シフトレジスタ6、ゲート線レベルシフタ7、信号線シフトレジスタ13などには、図2の実施形態と同じく、部分的に両極性TFTを採用しており、従って、駆動電圧を、例えば5Vに低減しても十分に動作でき、消費電力を大幅に低減することができる。

【0133】

ここで、これらの回路の構成及び動作については、既に図2の実施形態において説明してあるので、ここでは省略し、以下、この図10の実施形態の特徴であるデータ1次ラッチ82と、データ2次ラッチ84の構成について説明する。

【0134】

図11は、この実施形態におけるデータ1次ラッチ82及びデータ2次ラッチ84に用いられているラッチ単位ユニットの構成図で、このラッチ単位ユニットの入力端子91は、第1クロックck1により制御されるクロックインバータ92の入力に接続されている。

【0135】

そして、このクロックインバータ92の出力は、インバータ93と、第2クロックck2により制御されるクロックインバータ94とで構成されるフリップフロップに入力され、このフリップフロップの出力がラッチ単位ユニットの出力端子95に接続されている。

このとき、第1クロックck1と第2クロックck2も、“H”と“L”が相互に反転した相補クロックである。

【0136】

次に、この図11のラッチ単位ユニットの動作について説明すると、これも、既に図5で説明したシフトレジスタ単位ユニットと、基本的には大きな違いはない。

すなわち、第1クロックck1で制御されるクロックインバータ92がオンになることで、入力端子91の信号をフリップフロップに取込み、第2クロック

ck2で制御されるクロックインバータ94がオンになることにより、このフリップフロップに取込まれた1ビットの信号データをラッチするのである。

【0137】

そして、この実施形態でも、各クロックインバータと各インバータに両極性TFETを用いているため、特に5V以下の低電圧でも容易に動作させることができるという長所がある。

【0138】

ここで、この両極性TFETを用いた本ラッチ単位ユニットの構成及び動作に関しては、先に第1の実施形態において、図6と図7により説明したシフトレジスタ単位ユニットと同じであり、従って、ここでは、説明を省略する。

【0139】

次に、この図10の実施形態におけるNAND回路88の構成について、図12により説明する。

まず、このNAND回路88は、図12に示すように、2個の入力端子91、92と、1個の出力端子97を備えている。そして、入力端子91、92は、それぞれ電源電圧線45に一方のソース端子が接続されているpチャネル両極性TFET93、94のゲートに接続されている。

【0140】

そして、これらのpチャネル両極性TFET93、94の他方のソース端子は、直列に接続されている2個のnチャネル両極性TFET96、95を介して、接地電位に接続されており、更に、nチャネル両極性TFET96のゲートは入力端子91に、nチャネル両極性TFET95のゲートは入力端子92に、それぞれ接続されている。

【0141】

ここで、pチャネル両極性TFETは、論理回路としてはpMOSとして、nチャネル両極性TFETは、論理回路としてはnMOSとして、それぞれほぼ同等の動作をする。

従って、このNAND回路88が、入力端子91、92のNAND論理が出力端子97に出力されることは明らかである。

ちなみに、この場合でも、電圧 V_H は 5 V で、入力される論理電圧は $5/0\text{ V}$ にしてある。

【0142】

ここで、このNAND回路88は、“H”の出力電圧は約 $4.5(5 - 0.5)\text{ V}$ で、“L”の出力電圧は $1.0(0.5 + 0.5)\text{ V}$ 程度であり、このため、これの出力信号が入力するデータ1次ラッチ82の閾値は、nチャネルが電圧 1.5 V で、pチャネルが電圧 -1.0 V に設計してある。

【0143】

このように、両極性TFETの場合、その出力は、電源電圧一杯までの振幅特性を持たない。しかし、必要に応じて従来のTFETを並列に設ければ良いことは、第1の実施形態についての説明の中で既に説明した通りである。

【0144】

<第3の実施形態>

次に、本発明の第3の実施形態について説明する。

ここで、この第3の実施形態の場合、それに係る多結晶シリコンTFET液晶表示パネルの構成及び動作は、既に説明した第1の実施形態のそれとほぼ同じであるから、説明は省略し、ここでは、異なっている点について以下に説明する。

【0145】

図13は、この第3の実施形態において用いられている両極性TFETの構造図で、これは、第1の実施形態に関連して説明した図1(a)の断面図に相当するものである。

【0146】

そして、この図13に示すように、この第3の実施形態における両極性TFETは、 n^+ 高濃度不純物注入領域122(図1では22)からなる第1ソース領域、 p^+ 高濃度不純物注入領域123(同じく23)からなる第2ソース領域、i不純物非注入領域124(同じく24)からなるチャネル形成領域、それにゲート電極120(同じく20)を備えている。

【0147】

従って、これらの点では、図1の実施形態と同じであるが、この第3の実施形

態の場合は、更に上記の構成に加えて、チャネル形成領域の中でゲート電極120と平面的に重畳していない部分に、 n^- 低濃度不純物注入領域126が設けられており、これが、図1の実施形態とは異なっている点である。

【0148】

ここで、この n^- 低濃度不純物注入領域126は、 $1e^{-18}/cm^3$ の濃度で、P(燐)を注入して形成されている。

そして、ゲート電極120は、一方のソースに相当する n^+ 高濃度不純物注入領域122に接するようにして、 i 不純物非注入領域124と平面的に重畳しており、他方のソースに相当する p^+ 高濃度不純物注入領域123からは約 $4\mu m$ 離れている。

【0149】

なお、ここでも、ゲート電極120と i 不純物非注入領域124の間と、その他の領域に形成されている SiO_2 と Si_3N_4 などからなる絶縁物や下方のガラス基板14は省略してある。

【0150】

このような n^- 低濃度不純物注入領域126を導入することにより、この第3の実施形態に係る両極性TFTは更に高い電流駆動能力が与えられ、低電圧動作に対して大きな余裕を持つことになっている。

【0151】

このとき、 n^- 濃度不純物注入領域126の不純物濃度が $1e^{-18}/cm^3$ を大きく超えてしまうと、 p^+ 高濃度不純物注入領域123から注入されたホールの再結合速度が大きくなりすぎて、チャネル形成領域内での i 不純物非注入領域124に注入されるホールの量が極めて小さくなってしまいうので、望ましくない。

【0152】

何故なら、このとき両極性TFTは、あたかも n^+p^+ ダイオードに接続された従来のTFTのようになってしまいうからであり、このときは、チャネル形成領域内に両極性のキャリアを注入することによる本発明の両極性TFT特有の効果が失われてしまいうからである。

【0153】

なお、ここでも、 n チャネルの両極性TFTについてだけ説明したが、 p チャネルの両極性TFTについても、必要に応じて同様に、 p^- 低濃度不純物注入領域を用いることができ、更には、 n チャネルと p チャネルの双方に対して、 n^- と p^- の低濃度不純物注入領域を任意に組み合わせることが可能である。

【0154】

＜第4の実施形態＞

次に、本発明の第4の実施形態について説明する。

この第4の実施形態でも、それに係る多結晶シリコンTFT液晶表示パネルの構成及び動作は、既に説明した第1の実施形態のそれとほぼ同じであるから、説明は省略し、ここでは、異なっている点について以下に説明する。

【0155】

図14は、この第4の実施形態において用いられている両極性TFTの構造図で、これは、第1の実施形態に関連して説明した図1(a)の断面図に相当するものである。

【0156】

この図14に示した両極性TFTは、 n^+ 高濃度不純物注入領域132(図1では22)からなる第1ソース領域、 p^+ 高濃度不純物注入領域133(同じく23)からなる第2ソース領域、 i 不純物非注入領域134(同じく24)からなるチャネル形成領域、それにゲート電極130(同じく20)を備えている。

【0157】

従って、これらの点では、図1の実施形態と同じであるが、この第4の実施形態の場合は、ゲート電極130が i 不純物非注入領域134と i 不純物非注入領域134とガラス基板14の間に形成されている点で、図1に示した第1の実施形態とは異なっている。

【0158】

そして、ゲート電極120は、 i 不純物非注入領域134だけではなく、一方のソースに相当する n^+ 高濃度不純物注入領域132にも、一部が平面的に重畳するようにして重ね合わされており、他方のソースに相当する p^+ 高濃度不純物

注入領域 1 3 3 からは約 $4 \mu\text{m}$ 離れている。

【0 1 5 9】

なお、ここでも、ゲート電極 1 3 0 と n^+ 高濃度不純物注入領域 1 3 2 及び i 不純物非注入領域 1 3 4 の間、それに、その他の領域に形成されている SiO_2 と Si_3N_4 などからなる絶縁物は省略してある。

【0 1 6 0】

ここで、ゲート電極がチャネル形成領域とガラス基板の間に挟まれている構造は、いわゆる逆スタガ構造と呼ばれ、図示されていないが、この実施形態では、そこに、この図 1 4 に示した両極性 T F T と一緒に使用されている普通の T F T があつた場合、製造プロセス上の共通化を図るため、この両極性 T F T と同様、普通の T F T についても、ゲート電極がチャネル形成領域とガラス基板の間に挟まれた逆スタガ構造が採用されている。

【0 1 6 1】

そして、この場合、普通の T F T に加えて両極性 T F T の構造も逆スタガ構造に整合させたため、従来のアモルファス S i - T F T のデバイス構造と類似のプロセスラインにより容易に製造することができるという利点を有する。

【0 1 6 2】

従って、この第 4 の実施形態によれば、既存のアモルファス S i - T F T の製造ラインに大幅な変更を施すことなく、容易に多結晶シリコン T F T 液晶表示パネルを製造することができるという利点がある。

【0 1 6 3】

なお、この第 4 の実施形態に係る両極性 T F T の場合、 n^+ 高濃度不純物注入領域 1 3 2 をゲート電極 1 3 0 と自己整合構造で作成するためには、ガラス基板 14 の裏面からの露光プロセスが新規に必要になってしまう。

【0 1 6 4】

そこで、この図 1 4 の実施形態では、従来のアモルファス S i - T F T の製造工程からの大幅な変更を回避するため、 n^+ 高濃度不純物注入領域 1 3 2 については、レジストマスク合わせを用いたイオンインプラプロセスで形成した。

【0 1 6 5】

この場合、 n^+ 高濃度不純物注入領域 1 3 2 とゲート電極 1 3 0 間のオフセットを回避する必要がある、このため、この実施形態では、上記したように、 n^+ 高濃度不純物注入領域 1 3 2 を、ゲート電極 1 3 0 に対して平面的には重なるように形成したのである。

【 0 1 6 6 】

なお、ここでも、 n チャネルの両極性 T F T についてだけ説明したが、 p チャネルの両極性 T F T についても、必要に応じて同様に、 p^- 低濃度不純物注入領域を用いることができ、更には、 n チャネルと p チャネルの双方に対して、 n^- と p^- の低濃度不純物注入領域を任意に組み合わせることが可能である。

【 0 1 6 7 】

< 第 5 の実施形態 >

次に、本発明の第 5 の実施形態について説明する。

この第 5 の実施形態でも、それに係る多結晶シリコン T F T 液晶表示パネルの構成及び動作は、既に説明した第 1 の実施形態のそれとほぼ同じであるから、説明は省略し、ここでは、異なっている点について以下に説明する。

【 0 1 6 8 】

図 1 5 は、この第 5 の実施形態において用いられている両極性 T F T の構造図で、これは、第 1 の実施形態に関連して説明した図 1 (a) の断面図に相当するものである。

【 0 1 6 9 】

この図 1 5 に示した両極性 T F T は、 n^+ 高濃度不純物注入領域 1 4 2 (図 1 では 2 2) からなる第 1 ソース領域、 p^+ 高濃度不純物注入領域 1 4 3 (同じく 2 3) からなる第 2 ソース領域、 i 不純物非注入領域 1 4 4 (同じく 2 4) からなるチャネル形成領域、それにゲート電極 1 4 0 (同じく 2 0) を備えている。

【 0 1 7 0 】

従って、これらの点では、図 1 の実施形態と同じであるが、この第 4 の実施形態の場合は、ゲート電極がゲート電極 1 4 0、1 4 1 の 2 個設けてある点で、第 1 の実施形態とは大きく異なっている。

【 0 1 7 1 】

ここで、一方のゲート電極140は、一方のソースを形成している n^+ 高濃度不純物注入領域142側に接しており、他方のゲート電極141は、 p^+ 高濃度不純物注入領域143側に接している。

【0172】

なお、ここでも、ゲート電極140、141と n^+ 高濃度不純物注入領域142と p^+ 高濃度不純物注入領域143、それに i 不純物非注入領域144の間、及びその他の領域に形成されている SiO_2 と Si_3N_4 などからなる絶縁物や下方のガラス基板14は省略してある。

【0173】

ここで、この図15の実施形態に係る両極性TFTの場合、ゲート電極140が n^+ 高濃度不純物注入領域142よりも高電位にされ、且つ、ゲート電極141が p^+ 高濃度不純物注入領域143よりも低電位にされたときだけ導通する。何故なら、この両極性TFTの動作には両極性キャリアの注入が必要だからである。

【0174】

そして、この図15の実施形態に係る両極性TFTの場合、ゲート電極140が n^+ 高濃度不純物注入領域142よりも高電位にされるとチャネル形成領域144には電子が注入され、ゲート電極141が p^+ 高濃度不純物注入領域143よりも低電位にされたとき、チャネル形成領域144にはホールが注入されるからである。

【0175】

ここで、この実施形態では、ゲート電極140とゲート電極141の間隔は4 μm に設計してあるが、この間隔は、それを狭くすればする程、電流駆動能力がより増強されるので、この見地からすれば、狭いほうが望ましい。

【0176】

しかし、現実には、ゲート電極140とゲート電極141の加工上の最小可能寸法が、この間隔の限界になる。

しかし、このとき、2層ゲート電極を使用すれば、両ゲート電極を重ね合わせることができ、この結果、この間隔をより狭めることも可能である。

【 0 1 7 7 】

一方、この図 1 5 の実施形態にかかる両極性 T F T は、2 個のゲート電極を有するため、n チヤネルと p チヤネルの区別はなく、共用化できるとする利点がある。

【 0 1 7 8 】

なお、この図 1 5 の実施形態でも、図 1 3 で説明した第 3 の実施形態で説明したように、n⁻ 領域と p⁻ 領域を両ゲート電極間に付加することによって、電流駆動能力を向上させることができる。

【 0 1 7 9 】

< 第 6 の実施形態 >

次に、本発明の第 6 の実施形態について説明する。

図 1 6 は、この第 6 の実施形態に係る多結晶シリコン T F T 液晶表示パネルを示したもので、図示のように、この実施形態でも、図 2 で説明した第 1 の実施形態と同じく、ガラス基板 1 4 を備え、このガラス基板 1 4 の上に、液晶容量 4 を有する画素 1 5 1 (図 2 における 1 に相当) がマトリクス状に配置されている (同じく簡略化のため、画素 1 5 1 は 4 個だけ記載した)。

【 0 1 8 0 】

そして、各画素 1 5 1 は、行方向にはゲート線 5 で並列に接続され、列方向では、信号線 9 に並列に接続されている。

そして、行方向のゲート線 5 は、ゲート線バッファ 8、ゲート線レベルシフタ 7 を介してゲート線シフトレジスタ 6 に接続されている。

従って、これまでの構成は、図 2 で説明した実施形態と同じで、異なっているのは、各画素 1 5 1 の構成にある。

【 0 1 8 1 】

ここで、各画素 1 5 1 には、図 2 で説明した各画素 1 と同じく、液晶容量 4 があるが、この実施形態による各画素 1 5 1 の場合、液晶容量 4 は、ゲートが共通に、互いに逆向きに並列接続された画素両極性 T F T 1 5 2、1 5 3 を介して、信号線 9 に接続されている。

【 0 1 8 2 】

そして、画素両極性 T F T 1 5 2、1 5 3 のゲートがゲート線 5 に接続されている。

このとき、ゲート線 5 はゲート線バッファ 8、ゲート線レベルシフタ 7 を介してゲート線シフトレジスタ 6 に、信号線 9 は信号線スイッチ 1 0 を介して信号入力線 1 2 に接続されている。

【 0 1 8 3 】

ここで、信号線スイッチ 1 0 は信号線シフトレジスタ 1 3 からシフトレジスタ出力線 1 1 によって制御される。

各画素 1 5 1 においては、各液晶容量 4 は、ゲートが共通に、互いに逆向きに並列接続された画素両極性 T F T 1 5 2、1 5 3 を介して、信号線 9 に接続されている。

【 0 1 8 4 】

次に、この実施形態の動作について説明する。

まず、信号線シフトレジスタ 1 3 は、シフトレジスタ出力線 1 1 を介して信号線スイッチ 1 0 を走査し、信号入力線 1 2 から入力された信号電圧を所定の信号線 9 に振り分ける。

【 0 1 8 5 】

一方、ゲート線シフトレジスタ 6 は、ゲート線レベルシフタ 7 とゲート線バッファ 8 を介してゲート線 5 を順次走査し、所定の画素行の画素両極性 T F T 1 5 2、1 5 3 を開閉させ、信号線 9 に出力されている信号電圧を、画素 1 内の液晶容量 4 に印加する。

【 0 1 8 6 】

そこで、この液晶容量 4 に入力された信号電圧が各画素 1 に対応する液晶部分の光学特性を変調し、この結果、表示パネル全体として、入力された信号電圧に応じた画像が表示されることになる。

【 0 1 8 7 】

また、このとき、各画素に光学的反射電極を配置することにより、バックライトやフロントライトなどによる内部照明が無くても、外部環境光だけで画像表示が得られるようにした、いわゆる反射表示型の液晶表示装置として実施すること

ができる。

【0188】

ここで、この実施形態によれば、駆動電圧が、例えば5Vと低くでき、この結果、消費電力が大幅に低減できるが、その理由は、ゲート線シフトレジスタ6、ゲート線レベルシフタ7、信号線シフトレジスタ13、それに信号線スイッチ10などに、第1の実施例と同様に、部分的に両極性TFTを採用しているからである。

【0189】

しかして、これらの回路の構成及び動作については、既に第1の実施形態において説明したので、省略する。

ここで、この図16に示した第6の実施形態が、上記した第1の実施形態と異なっている点は、各画素151に設けられている画素両極性TFT152、153の構造であり、これに関して、以下、図17を用いて説明する。

【0190】

図17は、この実施形態において、画素両極性TFT152、153に用いられている両極性TFTの構造図で、これは、第1の実施形態において、図1(b)の平面図に相当するものであり、この場合、まず、図示のように、i不純物非注入領域160の平面形状がアルファベットのH状(図では横に倒エの字状)になるように形成してある。

【0191】

そして、まず、エの字状のi不純物非注入領域160の、図では上側の辺の一方の端部(図では左端)に、一方の画素両極性TFT152の一方のソースとなる n^+ 高濃度不純物注入領域162Aを設け、他方の端部(図では右端)に他方のソースとなる p^+ 高濃度不純物注入領域163Aを設ける。

【0192】

次に、同じく、このi不純物非注入領域160の、図では下側の辺の他方の端部(図では右端)に、一方の画素両極性TFT152の一方のソースとなる n^+ 高濃度不純物注入領域162Bを設け、一方の端部(図では左端)に、他方のソースとなる p^+ 高濃度不純物注入領域163Bを設ける。

【0193】

そして、図示のように、 i 不純物非注入領域160の上下の辺を結んでいる部分と、上下の辺の一部と平面的に重なり合うようにして共通にゲート電極160を設けたものである。

なお、この場合も、 SiO_2 と Si_3N_4 などからなる絶縁物などは省略してある。

【0194】

従って、この図17に示す実施形態では、それぞれが図1の実施形態と同じ構造からなる、2個の互いに逆向きに接続された n チャネル両極性TFT152、153の i 不純物非注入領域160が、共通ゲート電極161の下で互いに接続されていることになる。

【0195】

そして、この結果、共通ゲート電極161によりオンになった場合、それぞれのソース電極電圧の正負によって、いずれかの n チャネル両極性TFT152、153がオンとなり、信号線9から液晶容量4への電荷の書込みがなされることになる。

【0196】

ところで、ここでも、両ソース間の電圧が0.5V以下になると、各 n チャネル両極性TFT152、153におけるソース間の抵抗が急激に大きくなってしまふことは、第1の実施形態においても、説明した通りである。

【0197】

しかして、この図17の実施形態による両極性TFTにおいては、両極性TFT152の第1ソース領域と i 不純物非注入領域160及び両極性TFT153の第1ソース領域とが、部分的に従来の普通の n チャネルTFTスイッチとして機能する。

【0198】

この結果、両ソース間の電圧が0.5V以下では、この n チャネルTFTスイッチによって信号線9から液晶容量4への電荷の書込みが継続され、液晶容量4は最終的に信号線9と電位が等しくなるまで充電されることになり、従って、こ

の実施形態によれば、各画素 1 5 1 でも電源電圧の有効利用が得られることになる。

【 0 1 9 9 】

また、この結果、この第 6 の実施形態による画素両極性 T F T 1 5 2、1 5 3 を用いることにより、液晶容量 4 に対するより高速な電荷書込みが可能になり、動きの早い画像に対しても容易に高精細度を保つこととができる。

【 0 2 0 0 】

また、この第 6 の実施形態の場合、両極性 T F T の光リーク電流に関しては、各画素 1 5 1 上に配置された光学的反射電極が画素両極性 T F T 1 5 2、1 5 3 に対する遮光層の役割を果たすために、問題とはならないという利点がある。

【 0 2 0 1 】

なお、上記の説明では省略したが、この実施形態でも、画素両極性 T F T 1 5 2、1 5 3 のオフ時のリーク電流を低減させるため、従来の T F T でも行われているように、第 1 ソース領域とゲート電極との間に低濃度不純物注入領域を用いてゲート電極端部の電界を緩和することができる。

【 0 2 0 2 】

ところで、以上の各実施形態においては、液晶表示パネルを対象として説明した。

しかしながら本発明は、低電圧駆動が可能な電界効果トランジスタに関するものであるため、画像表示技術は液晶表示に限定されるものでないことは明らかである。

【 0 2 0 3 】

ここで、絶縁基板上に低コストの電界効果トランジスタを形成する必要がある画像表示技術としては、他にも、例えば O L E D (Organic Light Emitting Diode) 表示技術を用いることなどが挙げられる。

【 0 2 0 4 】

< 第 7 の実施形態 >

次に、本発明の第 7 の実施形態について説明する。

図 1 8 は、本発明の第 7 の実施形態で、これは、本発明を画像表示端末 (P D

A: Personal Digital Assistants) 100に適用した場合の一実施形態でありである。

【0205】

無線インターフェース(I/F)回路101には、圧縮された画像データ等が、例えばブルートゥース(bluetooth)規格に基づく無線データとして外部から入力される。

そして、この無線I/F回路101の出力はI/O(Input/Output)回路102を介してデータバス103に接続されている。

【0206】

このとき、データバス103には、この他にもマイクロプロセサ104、表示パネルコントローラ105、フレームメモリ106等が接続されている。

そして、表示パネルコントローラ105の出力は、反射/透過表示ポリシリコン(poly Si) TFT液晶表示パネル110に入力されており、この反射/透過表示ポリシリコンTFT液晶表示パネル110には、画素マトリクス111が設けられている。

【0207】

また、画像表示端末100には、更に電源107及び画素マトリクス照明108が設けられており、この画素マトリクス照明108は、I/O回路102により制御されるようになっている。

【0208】

ここで、この反射/透過表示ポリシリコンTFT液晶表示パネル110は、先に延べた第1の実施形態と同一の構成及び動作を有しているので、その内部の構成及び動作の記載はここでは省略する。

【0209】

次に、この第7の実施形態の動作について説明する。

始めに、無線I/O回路101は、命令に応じて圧縮された画像データを外部から取り込み、この画像データをI/O回路102を介してマイクロプロセサ104及びフレームメモリ106に転送する。

【0210】

そこで、マイクロプロセサ 1 0 4 は、ユーザからの命令操作を受けて、必要に応じて画像表示端末 1 0 0 を駆動し、圧縮された画像データのデコードや信号処理、情報表示を行う。

このとき、信号処理された画像データは、フレームメモリ 1 0 6 に一時的に蓄積される。

【 0 2 1 1 】

このフレームメモリ 1 0 6 は、マイクロプロセサ 1 0 4 の指示に従って制御され、これにより、フレームメモリ 1 0 6 から、表示パネルコントローラ 1 0 5 を介して、反射／透過表示ポリシリコン T F T 液晶表示パネル 1 1 0 に画像データが入力され、この結果、画素マトリクス 1 1 1 は入力された画像データを表示する。

【 0 2 1 2 】

このとき、表示パネルコントローラ 1 0 5 は、同時に画像を表示するために必要な所定のタイミングパルスを出力する。

また、このとき、I / O 回路 1 0 2 は、マイクロプロセサ 1 0 4 の指示に従って、必要に応じて画素マトリクス照明 1 0 8 を点灯させることができる。

また、電源 1 0 7 にはリチウムイオン二次電池が含まれており、これらの画像表示端末 1 0 0 全体を駆動するのに必要な電力を供給する。

【 0 2 1 3 】

ここで、本発明の実施形態による反射／透過表示ポリシリコン T F T 液晶表示パネル 1 1 0 は、既に説明したように、5 V の低い電圧で駆動が可能であり、このため、T F T 液晶表示パネル 1 1 0 に対する入力電圧には、電圧 3 . 6 V のリチウムイオン二次電池を 2 個直列に接続するだけで容易に得られる 7 . 2 V の電源電源で済み、従って、この実施形態によれば、画像表示端末 1 0 0 の構造が簡略化でき、低コスト化と低消費電力化を同時に実現することができる。

【 0 2 1 4 】

【発明の効果】

本発明によれば、低電圧で動作する電界効果トランジスタが容易に得られるので、省エネルギー化による低コスト化を十分に図ることができる。

また、本発明によれば、低電圧で十分に動作し、消費電力が少なくて済む画像表示装置を低コストで容易に得ることができる。

【図面の簡単な説明】

【図 1】

本発明による両極性 T F T の第 1 の実施形態を示す説明図である。

【図 2】

本発明による画像表示装置の一実施形態を示す構成図である。

【図 3】

本発明による両極性 T F T の第 1 の実施形態の動作説明図である。

【図 4】

本発明による両極性 T F T の第 2 の実施形態を示す説明図である。

【図 5】

本発明の一実施形態によるシフトレジスタ単位ユニットの構成図である。

【図 6】

本発明の一実施形態によるクロックインバータの構成図である。

【図 7】

本発明の一実施形態によるインバータの構成図である。

【図 8】

本発明の一実施形態による信号線スイッチの構成図である。

【図 9】

本発明の一実施形態によるゲート線レベルシフタの構成図である。

【図 1 0】

本発明による画像表示装置の他の一実施形態を示す構成図である。

【図 1 1】

本発明の一実施形態によるラッチ単位ユニットの構成図である。

【図 1 2】

本発明の一実施形態による N A N D 回路の構成図である。

【図 1 3】

本発明による両極性 T F T の第 3 の実施形態を示す説明図である。

【図 1 4】

本発明による両極性 T F T の第 4 の実施形態を示す説明図である。

【図 1 5】

本発明による両極性 T F T の第 5 の実施形態を示す説明図である。

【図 1 6】

本発明による画像表示装置の更に別の一実施形態を示す構成図である。

【図 1 7】

本発明による画素両極性 T F T の第 6 の実施形態を示す説明図である。

【図 1 8】

本発明による画像表示端末の一実施形態を示す構成図である。

【図 1 9】

従来技術による T F T 液晶パネルの一例を示す構成図である。

【図 2 0】

従来技術による T F T の動作説明図である。

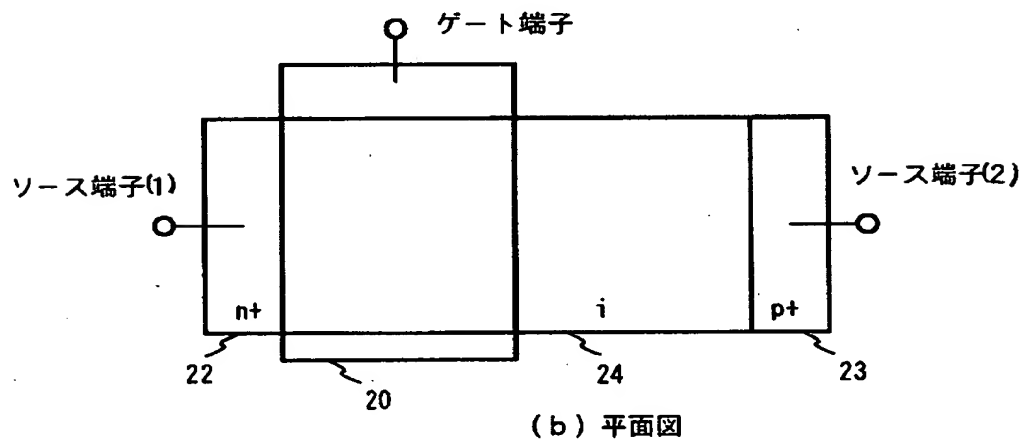
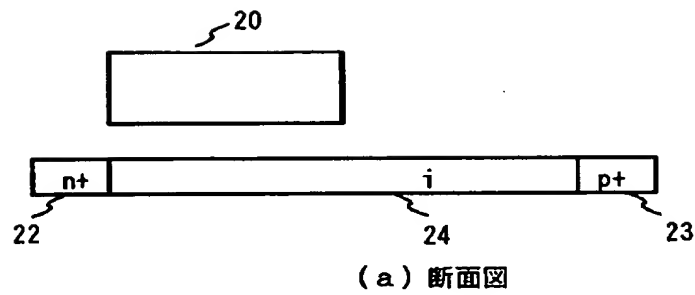
【符号の説明】

- 1 画素
- 2、3 画素 T F T
- 4 液晶容量
- 5 ゲート線
- 6 ゲート線シフトレジスタ
- 7 ゲート線レベルシフタ
- 8 ゲート線バッファ
- 9 信号線
- 1 0 信号線スイッチ
- 1 4 ガラス基板
- 2 0 ゲート電極
- 2 2 n^+ 高濃度不純物注入領域
- 2 3 p^+ 高濃度不純物注入領域
- 2 4 i 不純物非投入領域

【書類名】 図面

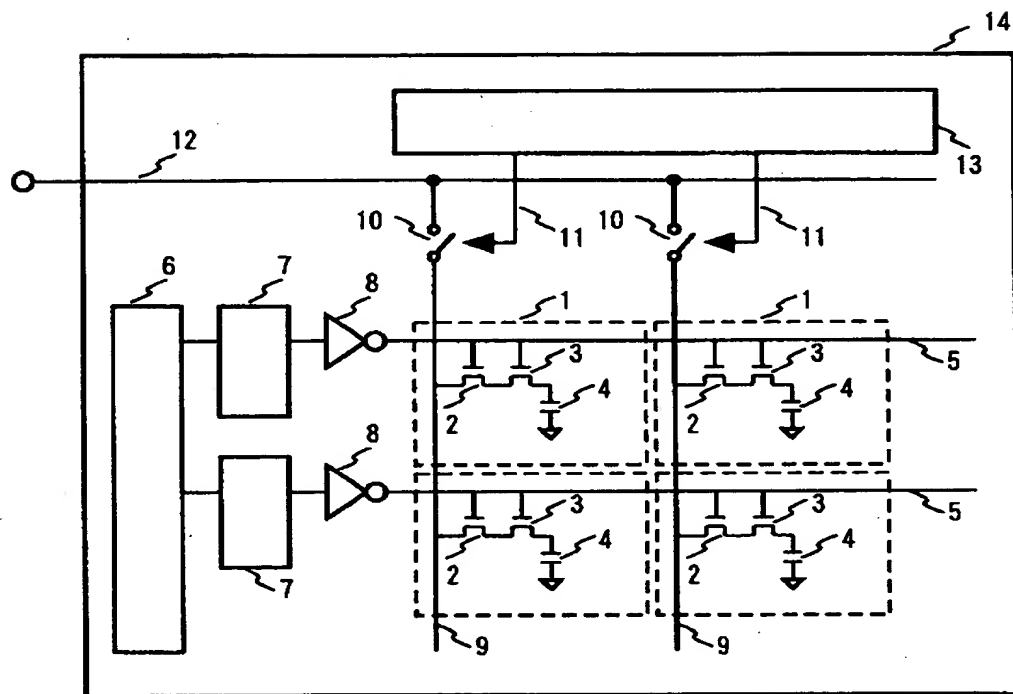
【図 1】

図 1



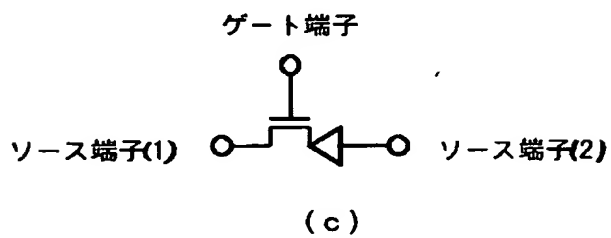
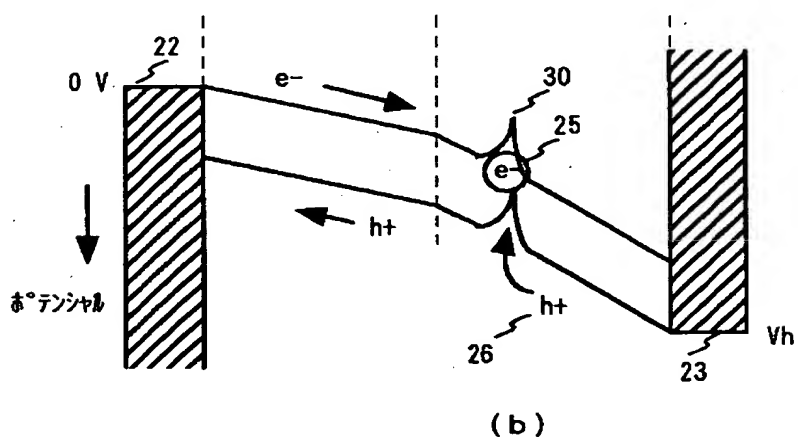
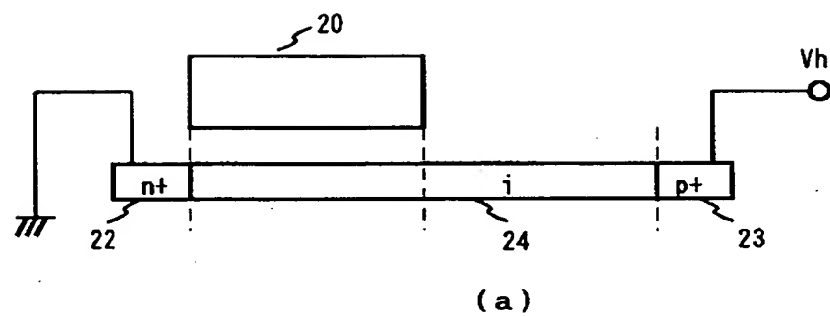
【図 2】

図 2



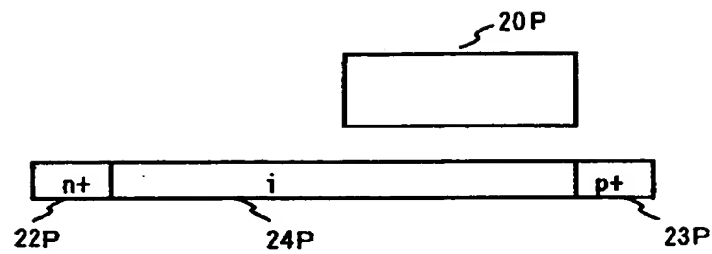
【図 3】

図 3

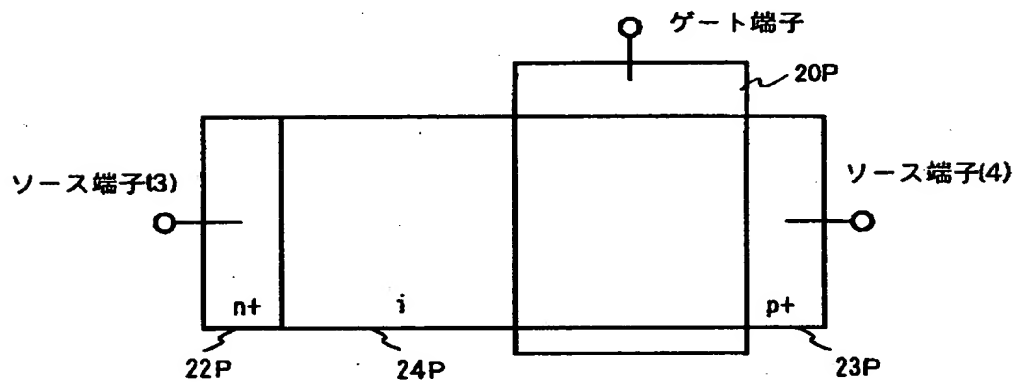


【図4】

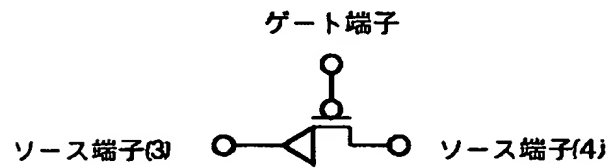
図4



(a) 断面図



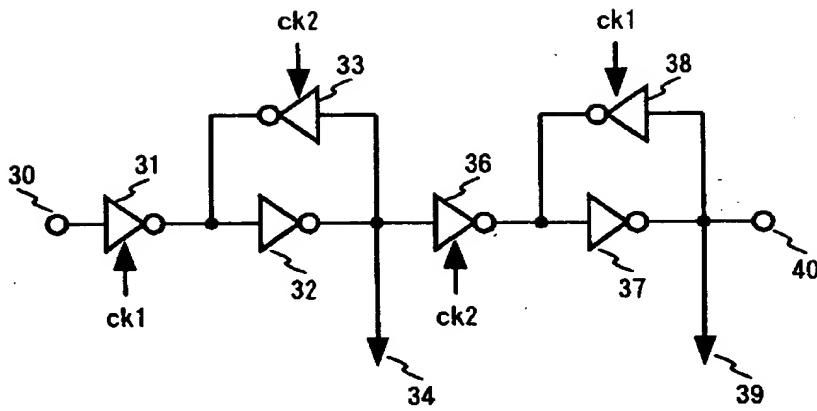
(b) 平面図



(c)

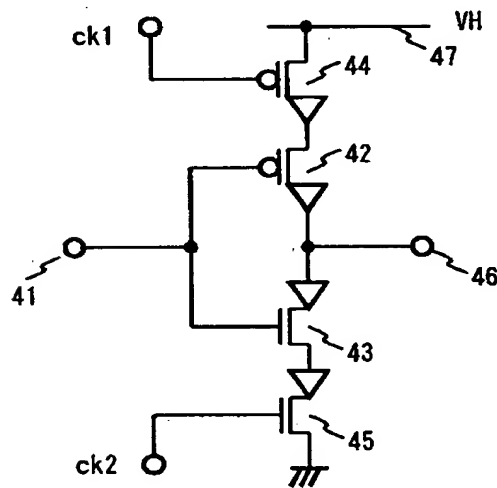
【図 5】

図 5



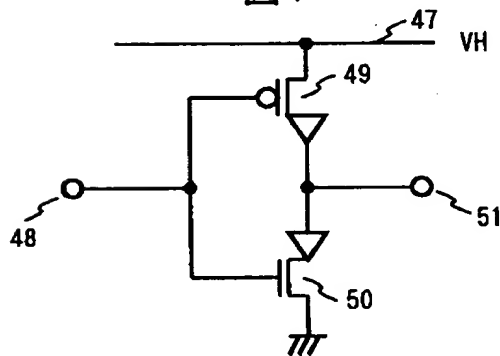
【図 6】

図 6



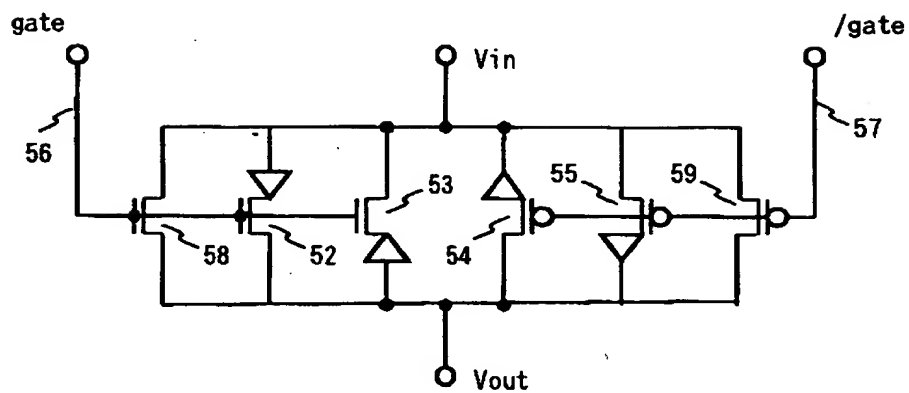
【図 7】

図 7



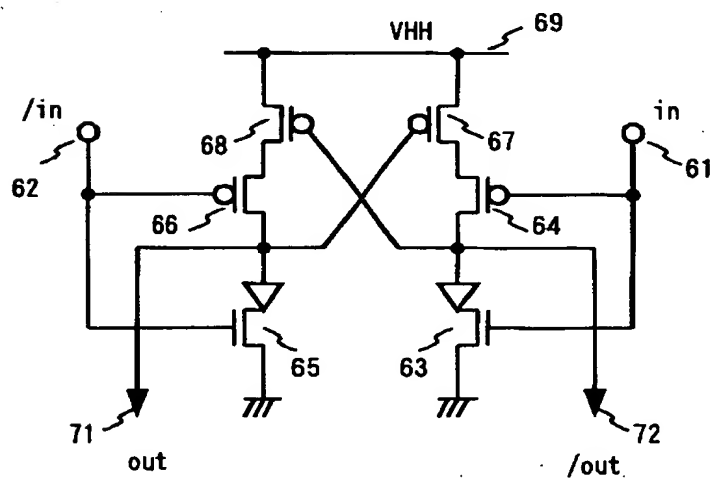
【图 8】

图 8



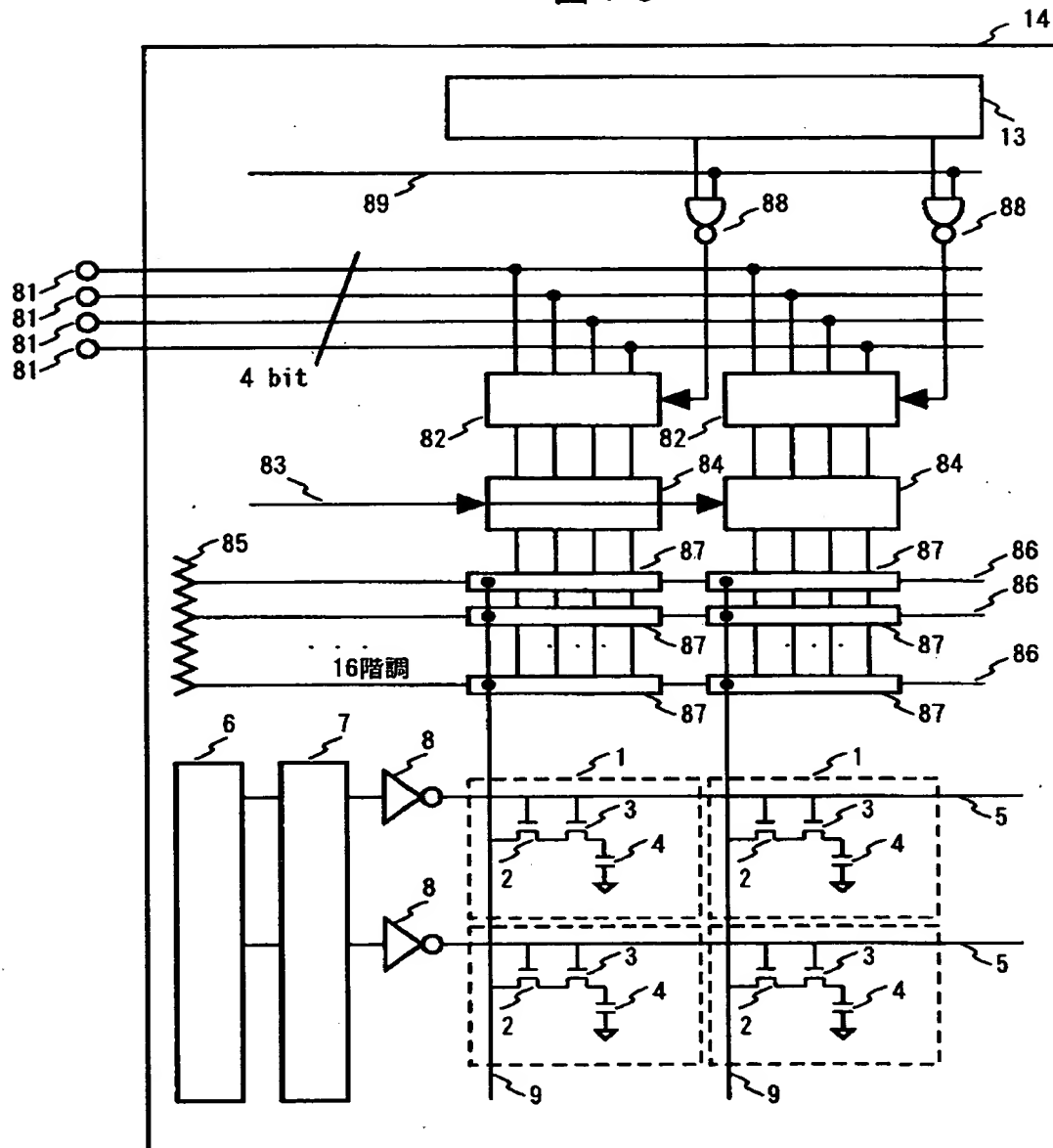
【図9】

图 9



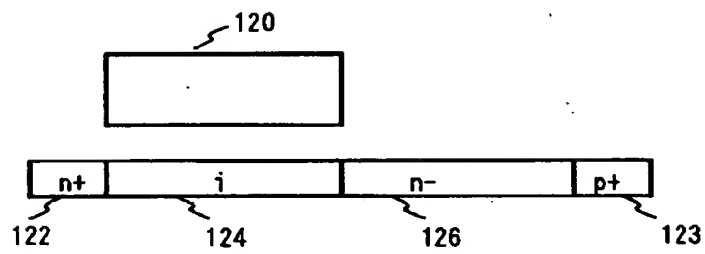
【図 10】

图 10



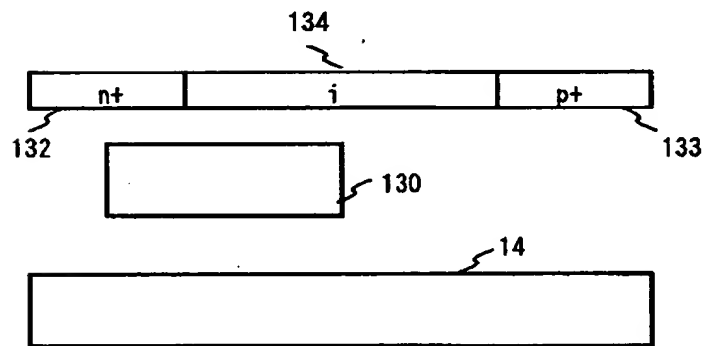
【図 13】

図 13



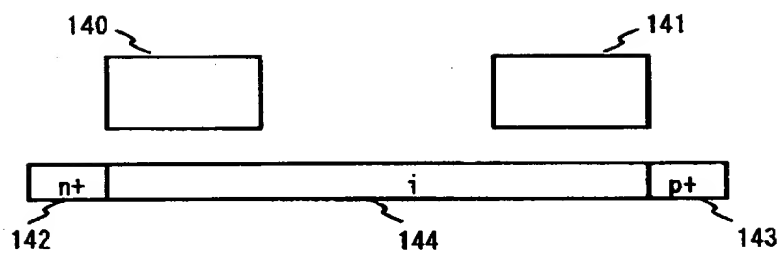
【図 14】

図 14



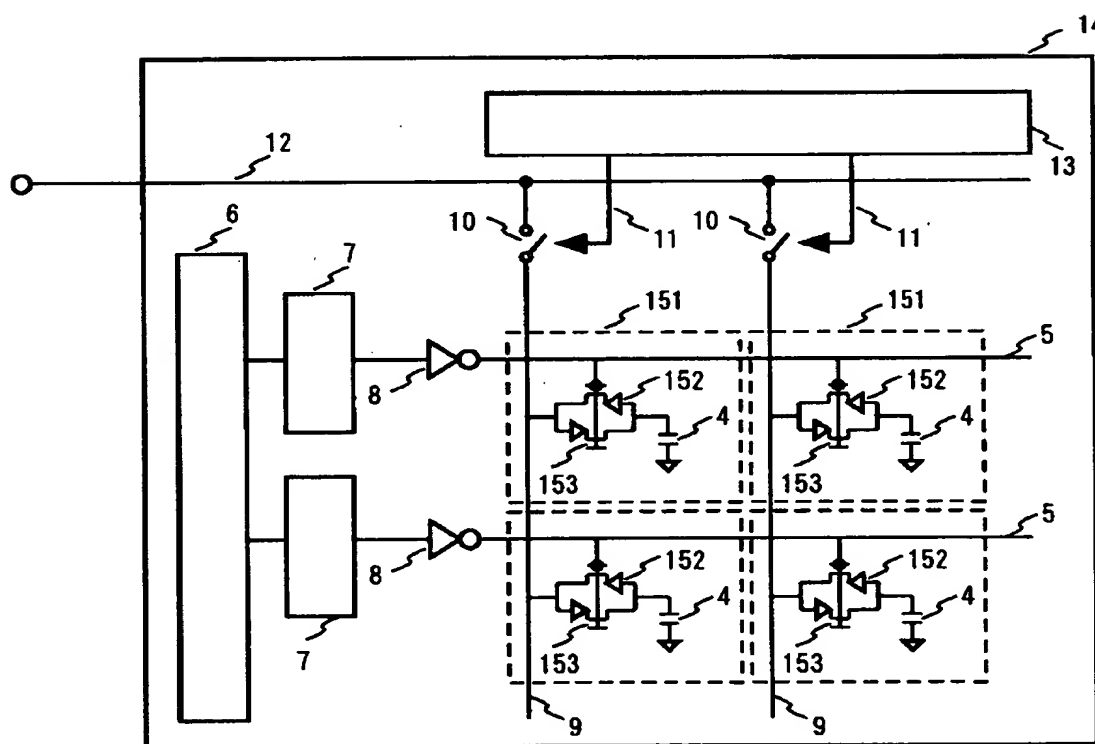
【図 15】

図 15



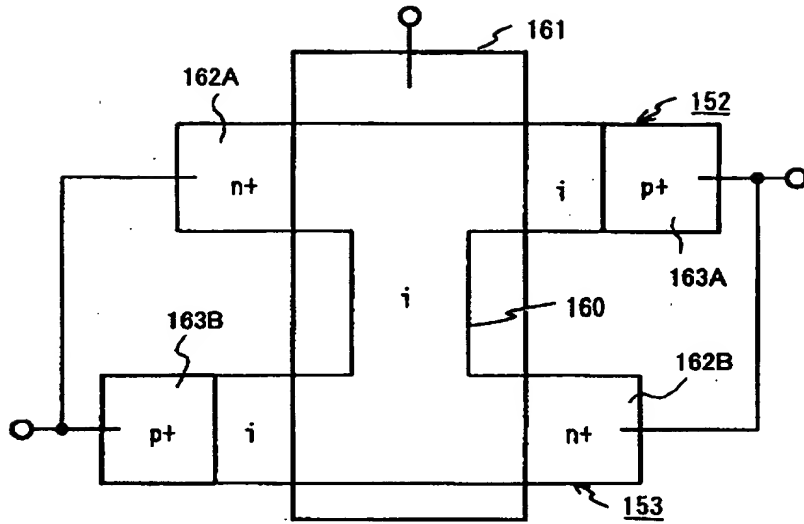
【図 16】

図 16



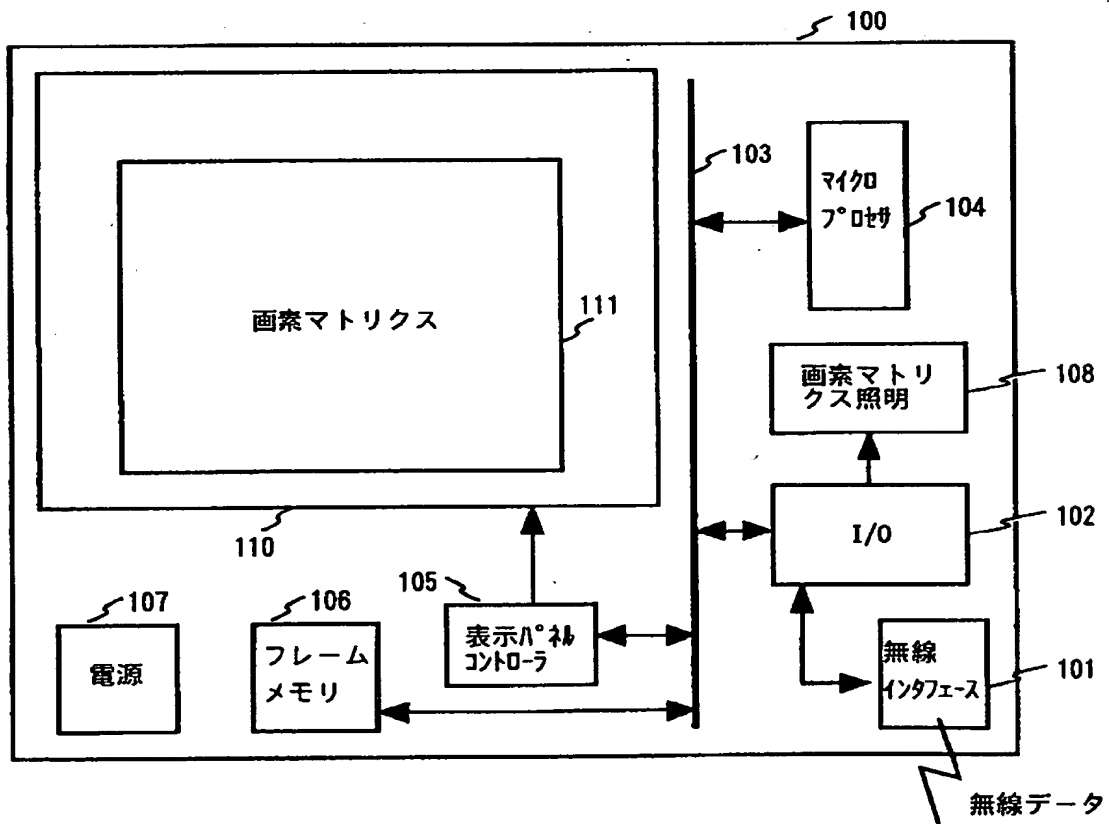
【図17】

図17



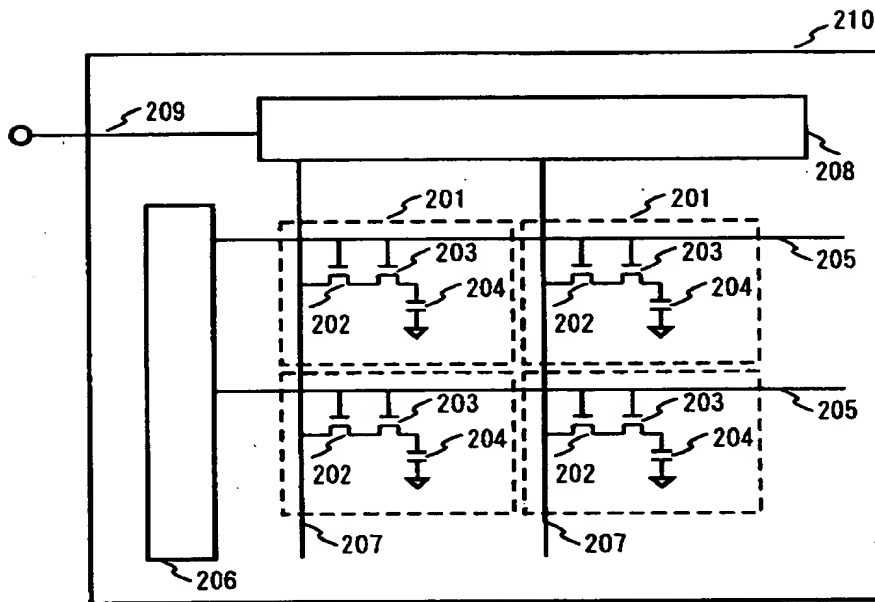
【図18】

図18



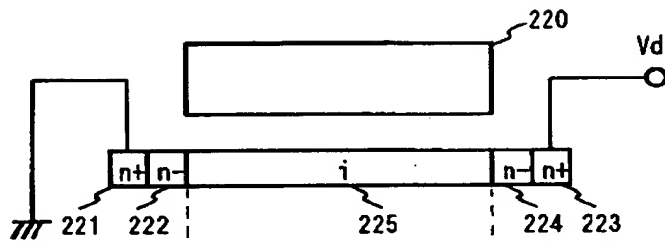
【図 1 9】

図 1 9

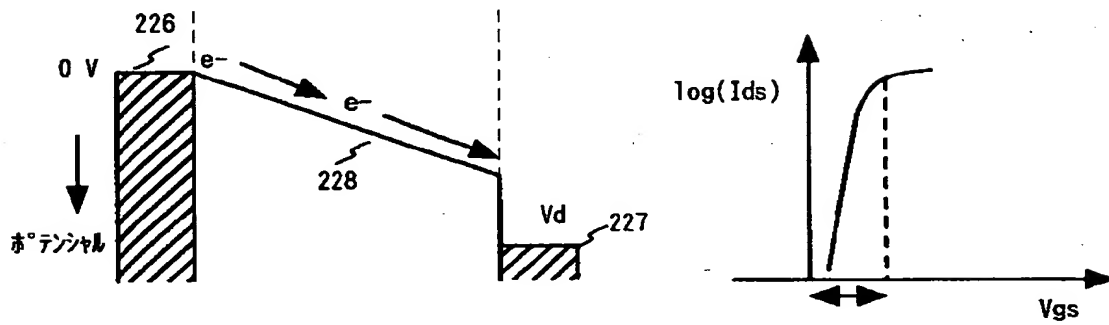


【図 20】

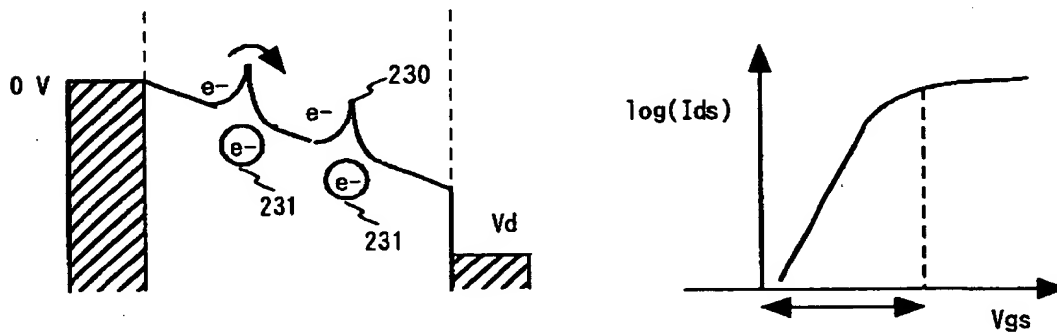
図 20



(a) TFT 断面図



(b) キャリア捕獲準位が無い（理想の）場合



(c) キャリア捕獲準位がある（現実の）場合

【書類名】 要約書

【要約】

【課題】 低い電圧でも十分に動作する電界効果トランジスタを提供すること。

【解決手段】 n^+ 高濃度不純物注入領域 2 2 と p^+ 高濃度不純物注入領域 2 3、 i 不純物非注入領域 2 4、それにゲート電極 2 0 で構成された T F T において、ゲート電極 2 0 を i 不純物非注入領域 2 4 の全領域に平面的に重ね合わされるようにして設けられているのではなくて、 n^+ 高濃度不純物注入領域 2 2 に接している方の端部に偏って、 i 不純物非注入領域 2 4 の略半分の領域にだけ平面的に重畳した形で設け、結晶欠陥や粒界に起因するチャネルキャリア捕獲準位と、これに起因するポテンシャル障壁の影響が回避できるようにしたもの。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所